

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11238245 A

(43) Date of publication of application: 31.08.99

(51) Int. Cl

**G11B 7/135**  
**G11B 7/00**

(21) Application number: 10041899

(22) Date of filing: 24.02.98

(71) Applicant: SONY CORP

(72) Inventor: SUGASAWA MASAJI  
MOROTOMI SHIRO

**(54) PHOTODETECTION SIGNAL PROCESSOR**

**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To enhance the reliability of a photodetection signal system by making the photodetection signal processing system a digital signal processing and changing over signal processing operations of the photodetection signal processing system in accordance with format of a medium to make the difference of signal processing performances due the variation of the disks smaller.

**SOLUTION:** In a digital spindle servo filter, a servo gain switching control is performed so as to respectively perform corrections of +6dB/-6dB in an

MD-DATA 1 format/an MD-DATA 2 format in accordance with the format of the medium and, then, a changeover control is executed so that band-pass characteristics of an ADPI band-pass filter respectively cope with 88.2 KHz/22.05 KHz. Next, a data reading control is executed by obtaining address information by reading out an ADPI signal. Thus, required parameter conversions of all photodetection signals are made possible by controls of a system controller or the like by subjecting them to digital processings after subjecting them to A/D conversions and a constant signal processing of them is performed.

COPYRIGHT: (C)1999,JPO

(51) Int.Cl.<sup>6</sup>  
G 11 B 7/135  
7/00

識別記号

F I  
G 11 B 7/135  
7/00

Z  
T

審査請求 未請求 請求項の数8 O.L (全27頁)

(21)出願番号 特願平10-41899

(22)出願日 平成10年(1998)2月24日

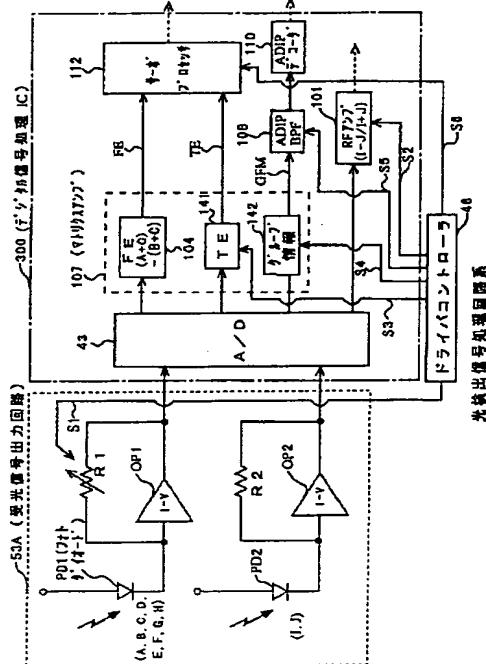
(71)出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号  
(72)発明者 菅沢 正司  
東京都品川区北品川6丁目7番35号 ソニ  
一株式会社内  
(72)発明者 諸富 司郎  
東京都品川区北品川6丁目7番35号 ソニ  
一株式会社内  
(74)代理人 弁理士 脇 篤夫 (外1名)

## (54)【発明の名称】光検出信号処理装置

## (57)【要約】

【課題】光学ピックアップに要求されるスペックができるだけ緩いものとなるようにしてコストアップを防ぐ。また、光学ピックアップ以降の光検出信号検出回路の構成も簡易なものとなるようにして、特に、異なるディスクフォーマットに対応する場合に有利となるようとする。

【解決手段】光学ピックアップ側において受光電流を電圧に変換して得られる光検出信号を先ずA/D変換することで、以降の再生R.F信号抽出処理や、各種サーボ制御のためのR.Fマトリクス演算処理等をデジタル信号処理により行うようとする。また、記録媒体の媒体フォーマットに応じて、例えば、トラッキングエラー信号生成のための演算処理、各種サーボゲイン、及びウォブルドグループからアドレスを抽出する際のバンドパスフィルタの通過帯域の切り換え等を行うように構成する。これらの処理は全てデジタル信号処理によって行うことで簡易な処理及び構成で実現できる。



## 【特許請求の範囲】

【請求項1】 光学記録媒体に照射した光の反射光を検出して光検出信号を出力する光学ピックアップ手段と、この光学ピックアップ手段から出力された光検出信号について、上記光学記録媒体に対するデータの記録又は再生動作に関する所要の信号処理を施す信号処理装置とを備えて成る光検出信号処理装置において、

上記光学ピックアップ手段は、

光学記録媒体からの光を検出して受光電流として出力するフォトディテクタ手段と、

該フォトディテクタ手段により得られた受光電流を電圧に変換して上記光検出信号として出力する電流-電圧変換手段とを備え、

上記信号処理装置は、

上記電流-電圧変換手段から出力された上記光検出信号についてデジタル信号に変換するデジタル信号変換手段と、

該デジタル信号変換手段から出力されるデジタル信号による上記光検出信号を利用して、上記光学記録媒体に対するデータの記録又は再生動作に関する所要の信号処理を施すデジタル信号処理手段とを備えていることを特徴とする光検出信号処理装置。

【請求項2】 上記光学ピックアップ手段は、上記光学記録媒体に対して照射すべき光の強度に応じて、上記電流-電圧変換手段におけるゲインを可変するためのゲイン可変手段が設けられることを特徴とする請求項1に記載の光検出信号処理装置。

【請求項3】 それぞれ異なる所定の複数種類の媒体フォーマットについて判別する媒体フォーマット判別手段が設けられると共に、

上記デジタル信号処理手段は、上記媒体フォーマット判別手段により判別された光学記録媒体の媒体フォーマットに応じて、その内部における所要の信号処理動作を変更させることのできる動作変更手段を備えていることを特徴とする請求項1に記載の光検出信号処理装置。

【請求項4】 上記デジタル信号処理手段は、上記光検出信号についての演算処理を実行することにより、上記光学記録媒体に形成されてデータが記録再生されるトラックに対するトラッキング制御を行うためのトラッキングエラー信号を生成するトラッキングエラー信号生成手段を備えるものとしたうえで、

上記動作変更手段により、上記光学記録媒体の媒体フォーマットごとに規定されたトラッキング制御方式に適合するようにして、上記トラッキングエラー信号生成手段における上記光検出信号についての演算処理について切換が行われるように構成されていることを特徴とする請求項3に記載の光検出信号処理装置。

【請求項5】 上記動作変更手段により、上記トラッキングエラー信号生成手段における上記光検出信号についての演算処理に際してのバランス調整が行われるように

構成されていることを特徴とする請求項4に記載の光検出信号処理装置。

【請求項6】 上記動作変更手段により、上記トラッキングエラー信号生成手段における上記光検出信号についての演算処理に際してのゲイン調整が行われるように構成されていることを特徴とする請求項4に記載の光検出信号処理装置。

【請求項7】 上記デジタル信号処理手段は、上記光検出信号に基づいて得られる所定のサーボ制御信号に基づいて、光学記録媒体に対する記録又は再生動作に関する所定のサーボ制御を実行するサーボ制御手段を備えるものとしたうえで、

上記動作変更手段により、上記光学記録媒体の媒体フォーマットごとに応じて、上記サーボ制御手段より実行される所要のサーボ制御におけるサーボゲインについての切換が行われるように構成されていることを特徴とする請求項3に記載の光検出信号処理装置。

【請求項8】 上記光学記録媒体は、所定のキャリア周波数をアドレス情報によりエンコードして得られる信号に基づいて形成された蛇行溝を有するディスク状記録媒体とされると共に、

上記デジタル信号処理手段は、上記蛇行溝からの反射光成分を有する光検出信号についての所要の演算処理を行う演算手段と、上記キャリア周波数に対応する通過帯域を有して上記演算手段の出力信号が入力されるバンドパスフィルタと、このバンドパスフィルタを通過した上記演算手段の出力信号からアドレス情報をデコードするアドレス情報デコード手段を備えるものとしたうえで、上記動作変更手段により、上記光学記録媒体の媒体フォーマットごとに規定された上記キャリア周波数に対応させて、上記バンドパスフィルタにおける通過帯域について可変が行われるように構成されていることを特徴とする請求項3に記載の光検出信号処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、例えば光学記録媒体に対応して記録又は再生が行われる記録再生装置等に備えられ、光学記録媒体からの反射光を受光して得られる光検出信号について、光学記録媒体に対する記録再生を行うための所要の信号処理を行うための光検出信号処理装置に関するものである。

## 【0002】

【従来の技術】 例えば、光ディスクや光磁気ディスクなどをはじめとする光学記録媒体では、光学ピックアップにおいて、ディスクに対して照射したレーザ光の反射光をフォトディテクタにより受光して検出し、このフォトディテクタにより得られる光検出信号を、R Fアンプに供給するようにしている。一般に、フォトディテクタから出力される光検出信号は微弱な電流であることから、上記R Fアンプでは、先ず入力された光検出信号につい

て電流-電圧変換を行う。なお、電流としての光検出信号について電流-電圧変換を行う電流-電圧変換器においては、ディスクや光学ピックアップ自体の特性のばらつきなどを吸収するために、ゲイン調整が行えるようにしたものも知られている。そしてこの後、R Fアンプ以降の所要の機能回路部において、電圧に変換された光検出信号について各種演算処理をはじめとする所要の信号処理を行うことによって、記録媒体から読み出したデータの再生の他、フォーカスサーボ制御、トラッキングサーボ制御、及びスピンドル（ディスク回転速度）サーボ制御等を行うようにされている。

#### 【0003】

【発明が解決しようとする課題】ところで、例えば電流-電圧変換器におけるゲインの調整機能は、通常32ステップ程度の粗い分解能に依る調整しか行うことができないことが知られている。また、光学ピックアップ側からR Fアンプ側に出力される光検出信号は、上記したように微弱な電流であることからノイズにきわめて弱く、このための対策が要求される。

【0004】特に、近年においては、例えば異なる複数種類の記録媒体の媒体フォーマットに対応して互換性を持たせた記録再生機器も存在する。ここで、例えばコストや機器の小型化等を考慮して、複数種類のディスク状記録媒体の媒体フォーマットについて互換性を有させた記録再生機器として、光学ピックアップ及び以降の光信号検出信号処理回路系をできるだけ共通化させようとした場合には、上記した光学ピックアップに要求されるスペックが厳しくなり、光学ピックアップの構成の困難やコストアップなどにつながり、結果的に実現性が乏しくなってくる。

#### 【0005】

【課題を解決するための手段】そこで本発明は上記した課題を解決するため、特に複数種類の媒体フォーマットに対応する場合にも光学ピックアップに要求されるスペックが緩くなるようにしてコスト等の削減を図り、更には、光学ピックアップの後段における光検出信号の処理回路系の構成としても、ディスクのばらつきなどによる信号処理性能の差ができるだけ少なくなるようにして、信頼性の高い光検出信号処理が実現されるようにすることを目的とする。

【0006】このため、光学記録媒体に照射した光の反射光を検出して光検出信号を出力する光学ピックアップ手段と、この光学ピックアップ手段から出力された光検出信号について光学記録媒体に対するデータの記録又は再生動作に関連する所要の信号処理を施す信号処理装置とを備えて成る光検出信号処理装置として次のように構成することとした。つまり、光学ピックアップ手段は、光学記録媒体からの光を検出して受光電流として出力するフォトディテクタ手段と、このフォトディテクタ手段により得られた受光電流を電圧に変換して上記光検出信

号として出力する電流-電圧変換手段とを設け、信号処理装置は、電流-電圧変換手段から出力された上記光検出信号についてデジタル信号に変換するデジタル信号変換手段と、このデジタル信号変換手段から出力されるデジタル信号による上記光検出信号を利用して、光学記録媒体に対するデータの記録又は再生動作に関連する所要の信号処理を施すデジタル信号処理手段とを設けて構成することとした。

【0007】また、上記構成に対して、それぞれ異なる所定の複数種類の媒体フォーマットについて判別する媒体フォーマット判別手段を設けらると共に、上記デジタル信号処理手段としては、媒体フォーマット判別手段により判別された光学記録媒体の媒体フォーマットに応じて、その内部における所要の信号処理動作を変更させることのできる動作変更手段を備えて構成することとした。

【0008】上記構成によれば、フォトディテクタの検出出力である受光電流を電圧としての光検出信号として光学ピックアップ側から出力し、光検出信号の信号処理系ではこの光検出信号をA/D変換して所要の信号処理を行うようにされる。これにより、本発明では光学ピックアップ側からの光検出信号に対する所要の信号処理を、一括的にデジタル信号処理によって行うことが可能となる。

【0009】また、本発明では、媒体フォーマットに応じて、上記光検出信号の信号処理系における所要の信号処理動作についての切り換えを行うようにされるが、光検出信号の信号処理系がデジタル信号処理化されることで、簡易な処理や制御動作等によって信号処理動作を切り換えることが可能である。

#### 【0010】

【発明の実施の形態】以下、本発明の実施の形態の光検出信号処理装置について説明していく。本実施の形態の光検出信号処理装置としては、カメラ装置部と画像（静止画又は動画）及び音声の記録再生が可能な記録再生装置部とが一体化された可搬型のビデオカメラに搭載されている場合を例にあげる。また、本例のビデオカメラに搭載される記録再生装置部は、光磁気ディスクの一種として知られている、いわゆるミニディスクに対応してデータを記録再生する構成を探るものとされる。説明は次の順序で行う。

1. ディスクフォーマット
2. ビデオカメラの外観構成
3. ビデオカメラの内部構成
4. メディアドライブ部の構成
5. 本実施の形態に対応するディスク構造例
6. 光検出信号処理回路系の構成
  - 6-1. フォトディテクタの構成
  - 6-2. 光検出信号処理回路系の全体構成
  - 6-3. トラッキングサーボ回路系の構成

6-4. ADIP処理回路系  
6-5. スピンドルサーボ回路系  
6-6. 処理動作  
7. 変形例

【0011】1. ディスクフォーマット

本例のビデオカメラに搭載される記録再生装置部は、ミニディスク（光磁気ディスク）に対応してデータの記録／再生を行う、MDデータといわれるフォーマットに対応しているものとされる。このMDデータフォーマットとしては、MD-DATA1とMD-DATA2といわれる2種類のフォーマットが開発されているが、本例のビデオカメラは、MD-DATA1よりも高密度記録が可能とされるMD-DATA2のフォーマットに対応して記録再生を行うものとされている。そこで、先ずMD-DATA2のディスクフォーマット（媒体フォーマット）について説明する。

【0012】図1及び図2は、MD-DATA2としてのディスクのトラック構造例を概念的に示している。図2(a) (b)は、それぞれ図1の破線Aで括った部分を拡大して示す断面図及び平面図である。これらの図に示すように、ディスク面に対してはウォブル（蛇行）が与えられたウォブルドグループWGと、ウォブルが与えられていないノンウォブルドグループNWGとの2種類のグループ（溝）が予め形成される。そして、これらウォブルドグループWGとノンウォブルドグループNWGは、その間にランドLdを形成するようにしてディスク上において2重のスパイラル状に存在する。

【0013】MD-DATA2フォーマットでは、ランドLdがトラックとして利用されるのであるが、上記のようにしてウォブルドグループWGとノンウォブルドグループNWGが形成されることから、トラックとしてもトラックTr·A, Tr·Bの2つのトラックがそれぞれ独立して、2重のスパイラル（ダブルスパイラル）状に形成されることになる。トラックTr·Aは、ディスク外周側にウォブルドグループWGが位置し、ディスク内周側にノンウォブルドグループNWGが位置するトラックとなる。これに対してトラックTr·Bは、ディスク内周側にウォブルドグループWGが位置し、ディスク外周側にノンウォブルドグループNWGが位置するトラックとなる。つまり、トラックTr·Aに対してはディスク外周側の片側のみにウォブルが形成され、トラックTr·Bとしてはディスク内周側の片側のみにウォブルが形成されるようにしたものとみることができる。この場合、トラックピッチは、互いに隣接するトラックTr·AとトラックTr·Bの各センター間の距離となり、図2(b)に示すようにトラックピッチは0.95μmとされている。

【0014】ここで、ウォブルドグループWGとしてのグループに形成されたウォブルは、ディスク上の物理アドレスがFM変調+バイフェーズ変調によりエンコード

された信号に基づいて形成されているものである。このため、記録再生時においてウォブルドグループWGに与えられたウォブリングから得られる再生情報を復調処理することで、ディスク上の物理アドレスを抽出することが可能となる。また、ウォブルドグループWGとしてのアドレス情報は、トラックTr·A, Tr·Bに対して共通に有効なものとされる。つまり、ウォブルドグループWGを挟んで内周に位置するトラックTr·Aと、外周に位置するトラックTr·Bは、そのウォブルドグループWGに与えられたウォブリングによるアドレス情報を共有するようにされる。なお、このようなアドレッシング方式はインターレースアドレッシング方式ともいわれる。このインターレースアドレッシング方式を採用することで、例えば、隣接するウォブル間のクロストークを抑制した上でトラックピッチを小さくすることが可能となるものである。また、グループに対してウォブルを形成することでアドレスを記録する方式については、ADIP(Adress In Pregroove)方式ともいう。

【0015】また、上記のようにして同一のアドレス情報と共に共有するトラックTr·A, Tr·Bの何れをトレースしているのかという識別は次のようにして行うことができる。例えば3ビーム方式を応用し、メインビームがトラック（ランドLd）をトレースしている状態では、残る2つのサイドビームは、上記メインビームがトレースしているトラックの両サイドに位置するグループをトレースしているように考えられる。

【0016】図2(b)には、具体例として、メインビームスポットSPmがトラックTr·Aをトレースしている状態が示されている。この場合には、2つのサイドビームスポットSPs1, SPs2のうち、内周側のサイドビームスポットSPs1はノンウォブルドグループNWGをトレースし、外周側のサイドビームスポットSPs2はウォブルドグループWGをトレースすることになる。これに対して、図示しないが、メインビームスポットSPmがトラックTr·Bをトレースしている状態であれば、サイドビームスポットSPs1がウォブルドグループWGをトレースし、サイドビームスポットSPs2がノンウォブルドグループNWGをトレースすることになる。このように、メインビームスポットSPmが、トラックTr·Aをトレースする場合とトラックTr·Bをトレースする場合とでは、サイドビームスポットSPs1, SPs2がトレースすべきグループとしては、必然的にウォブルドグループWGとノンウォブルドグループNWGとで入れ替わることになる。

【0017】サイドビームスポットSPs1, SPs2の反射によりフォトディテクタにて得られる検出信号としては、ウォブルドグループWGとノンウォブルドグループNWGの何れをトレースしているのかで異なる波形が得られることから、上記検出信号に基づいて、例えば、現在サイドビームスポットSPs1, SPs2のう

ち、どちらがウォブルドグループWG（あるいはノンウォブルドグループNWG）をトレースしているのかを判別することにより、メインビームがトラックTr·A, Tr·Bのどちらをトレースしているのかが識別できることになる。

【0018】図3は、上記のようなトラック構造を有するMD-DATA2フォーマットの主要スペックをMD-DATA1フォーマットと比較して示す図である。先ず、MD-DATA1フォーマットとしては、トラックピッチは $1.6 \mu\text{m}$ 、ピット長は $0.59 \mu\text{m}/bit$ となる。また、レーザ波長 $\lambda = 780 \text{ nm}$ とされ、光学ヘッドの開口率 $NA = 0.45$ とされる。記録方式としては、グループ記録方式を探っている。つまり、グループをトラックとして記録再生に用いるようにしている。アドレス方式としては、シングルスパイアルによるグループ（トラック）を形成したうえで、このグループの両側に対してアドレス情報としてのウォブルを形成したウォブルドグループを利用する方式を探るようにされている。

【0019】記録データの変調方式としてはEFM（8-14変換）方式を採用している。また、誤り訂正方式としてはACIRC(Advanced Cross Interleave Reed-Solomon Code)が採用され、データインターリーブには疊み込み型を採用している。このため、データの冗長度としては46.3%となる。

【0020】また、MD-DATA1フォーマットでは、ディスク駆動方式としてCLV(Constant Linear Velocity)が採用されており、CLVの線速度としては、 $1.2 \text{ m/s}$ とされる。そして、記録再生時の標準のデータレートとしては、 $133 \text{ kB/s}$ とされ、記録容量としては、 $140 \text{ MB}$ となる。

【0021】これに対して、本例のビデオカメラが対応できるMD-DATA2フォーマットとしては、トラックピッチは $0.95 \mu\text{m}$ 、ピット長は $0.39 \mu\text{m}/bit$ とされ、共にMD-DATA1フォーマットよりも短くなっていることが分かる。そして、例えば上記ピット長を実現するために、レーザ波長 $\lambda = 650 \text{ nm}$ 、光学ヘッドの開口率 $NA = 0.52$ として、合焦位置でのビームスポット径を絞ると共に光学系としての帯域を拡げている。

【0022】記録方式としては、図1及び図2により説明したように、ランド記録方式が採用され、アドレス方式としてはインターレースアドレッシング方式が採用される。また、記録データの変調方式としては、高密度記録に適合するとされるRLL(1,7)方式(RLL; Run Length Limited)が採用され、誤り訂正方式としてはRSPC方式、データインターリーブにはブロック完結型が採用される。そして、上記各方式を採用した結果、データの冗長度としては、19.7%にまで抑制することが可能となっている。

【0023】MD-DATA2フォーマットにおいても、ディスク駆動方式としてはCLVが採用されるのであるが、その線速度としては $2.0 \text{ m/s}$ とされ、記録再生時の標準のデータレートとしては $589 \text{ kB/s}$ とされる。そして、記録容量としては $650 \text{ MB}$ を得ることができる、MD-DATA1フォーマットと比較した場合には、4倍強の高密度記録化が実現されたことになる。例えば、MD-DATA2フォーマットにより動画像の記録を行うとして、動画像データについてMPEG2による圧縮符号化を施した場合には、符号化データのビットレートにも依るが、時間にして15分～17分の動画を記録することが可能とされる。また、音声信号データのみを記録するとして、音声データについてATRAC(Adaptive Transform Acoustic Coding)2による圧縮処理を施した場合には、時間にして10時間程度の記録を行うことができる。

【0024】2. ビデオカメラの外観構成

図6(a) (b) (c)は、本例のビデオカメラの外観例を示す側面図、平面図及び背面図である。これらの図に示すように、本例のビデオカメラの本体200には、撮影を行うための撮像レンズや絞りなどを備えたカメラレンズ201が表出するようにして設けられ、また、例えば、本体200の上面部においては、撮影時において外部の音声を収音するための左右一対のマイクロフォン202が設けられている。つまり、このビデオカメラでは、カメラレンズ201により撮影した画像の録画と、マイクロフォン202により収音したステレオ音声の録音を行うことが可能とされている。

【0025】また、本体200の側面側には、表示部6A、スピーカ205、インジケータ206が備えられている。表示部6Aは、撮影画像、及び内部の記録再生装置により再生された画像等を表示出力する部位とされる。なお、表示部6Aとして実際に採用する表示デバイスとしては、ここでは特に限定されるものではないが、例えば液晶ディスプレイ等が用いられればよい。また、表示部6Aには、機器の動作に応じて所要のメッセージをユーザーに知らせるための文字やキャラクタ等によるメッセージ表示等も行われるものとされる。スピーカ205からは録音した音声の再生時に、その再生音声が高出力される他、例えばビープ音等による所要のメッセージ音声の出力等も行われる。またインジケータ206は、例えば記録動作中に発光され、ユーザーにビデオカメラが記録動作中であることを示す。

【0026】本体200の背面側には、ビューファインダ204が設けられており、記録動作中及びスタンバイ中において、カメラレンズ201から取り込まれる画像及びキャラクタ画像等が表示される。ユーザーはこのビューファインダ204をみながら撮影を行うことができる。さらにディスクスロット203、ビデオ出力端子T1、ヘッドフォン/ライン端子T2、I/F端子T3が

設けられる。ディスクスロット203は、本例のビデオカメラが対応する記録媒体としてのディスクが挿入、あるいは排出されるためのスロット部分とされる。ビデオ出力端子T1は、外部の映像機器に対して再生画像信号等を出力する端子、ヘッドフォン/ライン端子T2は外部の音声機器やヘッドホンに対して再生音声信号を出力する端子である。I/F端子T3は、例えば外部のデータ機器とデータ伝送を行うためのインターフェイスの出入力端子とされる。

【0027】さらに、本体200の各部には、ユーザー操作のための各種の操作子(300.301, 及び304~309)が設けられる。メインダイヤル300は、ビデオカメラのオン/オフ、記録動作、再生動作を設定する操作子である。メインダイヤルが図示するように「OFF」の位置にあるときは電源オフとされており、「STBY」の位置に回動されることで、電源オンとなって記録動作のスタンバイ状態となる。また、「PB」の位置に回動されることで、電源オンとなって再生動作のスタンバイ状態となる。

【0028】レリーズキー301は、記録スタンバイ状態にある際ににおいて、記録開始や記録シャンタの操作子として機能する。

【0029】なお、後述する変形例においては、レリーズキー301は、その押圧される強さ(押圧レベル)を感知可能に構成され、この押圧レベルに応じて、ディスクに記録すべき圧縮画像データのデータレートが高くなるように可変される。

【0030】ズームキー304は、画像撮影に関するズーム状態(テレ側~ワイド側)を操作する操作子である。イジェクトキー305は、ディスクスロット203内に装填されているディスクを排出させるための操作子である。再生/一時停止キー306、停止キー307、サーチキー308、309は、ディスクに対する再生時の各種操作のために用意されている。

【0031】なお、図6に示すビデオカメラの外観はあくまでも一例であって、実際に本例のビデオカメラに要求される使用条件等に応じて適宜変更されて構わないものである。もちろん操作子の種類や操作方式、さらに外部機器との接続端子類などは各種多様に考えられる。

【0032】3. ビデオカメラの内部構成  
図4は、本例のビデオカメラの内部構成例を示すブロック図である。この図に示すレンズブロック1においては、例えば実際には撮像レンズや絞りなどを備えて構成される光学系11が備えられている。上記図6に示したカメラレンズ201は、この光学系11に含まれる。また、このレンズブロック1には、光学系11に対してオートフォーカス動作を行わせるためのフォーカスマータや、上記ズームキー304の操作に基づくズームレンズの移動を行うためのズームモータなどが、モータ部12として備えられる。

【0033】カメラブロック2には、主としてレンズブロック1により撮影した画像光をデジタル画像信号に変換するための回路部が備えられる。このカメラブロック2のCCD(Charge Coupled Device)21に対しては、光学系11を透過した被写体の光画像が与えられる。CCD21においては上記光画像について光電変換を行うことで撮像信号を生成し、サンプルホールド/A.G.C.(Automatic Gain Control)回路22に供給する。サンプルホールド/A.G.C.回路22では、CCD21から出力された撮像信号についてゲイン調整を行うと共に、サンプルホールド処理を施すことによって波形整形を行う。サンプルホールド/A.G.C.回路2の出力は、ビデオA/Dコンバータ23に供給されることで、デジタルとしての画像信号データに変換される。

【0034】上記CCD21、サンプルホールド/A.G.C.回路22、ビデオA/Dコンバータ23における信号処理タイミングは、タイミングジェネレータ24にて生成されるタイミング信号により制御される。タイミングジェネレータ24では、後述するデータ処理/システムコントロール回路31(ビデオ信号処理回路3内)にて信号処理に利用されるクロックを入力し、このクロックに基づいて所要のタイミング信号を生成するようにされる。これにより、カメラブロック2における信号処理タイミングを、ビデオ信号処理部3における処理タイミングと同期させるようにしている。カメラコントローラ25は、カメラブロック2内に備えられる上記各機能回路部が適正に動作するように所要の制御を実行すると共に、レンズブロック1に対してオートフォーカス、自動露出調整、絞り調整、ズームなどのための制御を行うものとされる。例えばオートフォーカス制御であれば、カメラコントローラ25は、所定のオートフォーカス制御方式に従って得られるフォーカス制御情報に基づいて、フォーカスマータの回転角を制御する。これにより、撮像レンズはジャストピント状態となるように駆動されることになる。

【0035】ビデオ信号処理部3は、記録時においては、カメラブロック2から供給されたデジタル画像信号、及びマイクロフォン202により集音したことで得られるデジタル音声信号について圧縮処理を施し、これら圧縮データをユーザ記録データとして後段のメディアドライブ部4に供給する。さらにカメラブロック2から供給されたデジタル画像信号とキャラクタ画像により生成した画像をビューファインダドライブ部207に供給し、ビューファインダ204に表示させる。また、再生時においては、メディアドライブ部4から供給されるユーザ再生データ(ディスク51からの読み出しデータ)、つまり圧縮処理された画像信号データ及び音声信号データについて復調処理を施し、これらを再生画像信号、再生音声信号として出力する。

【0036】なお本例において、画像信号データ(画像

データ) の圧縮/伸張処理方式としては、動画像についてはMPEG (Moving Picture Experts Group) 2を採用し、静止画像についてはJPEG (Joint Photographic Coding Experts Group) を採用しているものとする。また、音声信号データの圧縮/伸張処理方式には、ATRAC (Adaptive Transform Acoustic Coding) 2を採用するものとする。

【0037】ビデオ信号処理部3のデータ処理/システムコントロール回路31は、主として、当該ビデオ信号処理部3における画像信号データ及び音声信号データの圧縮/伸張処理に関する制御処理と、ビデオ信号処理部3を経由するデータの入出力を司るための処理を実行する。また、データ処理/システムコントロール回路31を含むビデオ信号処理部3全体についての制御処理は、ビデオコントローラ38が実行するようにされる。このビデオコントローラ38は、例えばマイクロコンピュータ等を備えて構成され、カメラブロック2のカメラコントローラ25、及び後述するメディアドライブ部4のドライブコントローラ46と、例えば図示しないバスライン等を介して相互通信可能とされている。

【0038】ビデオ信号処理部3における記録時の基本的な動作として、データ処理/システムコントロール回路31には、カメラブロック2のビデオA/Dコンバータ23から供給された画像信号データが入力される。データ処理/システムコントロール回路31では、入力された画像信号データを例えば動き検出回路35に供給する。動き検出回路35では、例えばメモリ36を作業領域として利用しながら入力された画像信号データについて動き補償等の画像処理を施した後、MPEG2ビデオ信号処理回路33に供給する。

【0039】MPEG2ビデオ信号処理回路33においては、例えばメモリ34を作業領域として利用しながら、入力された画像信号データについてMPEG2のフォーマットに従って圧縮処理を施し、動画像としての圧縮データのビットストリーム (MPEG2ビットストリーム) を出力するようされる。また、MPEG2ビデオ信号処理回路33では、例えば動画像としての画像信号データから静止画としての画像データを抽出してこれに圧縮処理を施す際には、JPEGのフォーマットに従って静止画としての圧縮画像データを生成するように構成されている。なお、JPEGは採用せずに、MPEG2のフォーマットによる圧縮画像データとして、正規の画像データとされるIピクチャ (Intra Picture) を静止画の画像データとして扱うことも考えられる。MPEG2ビデオ信号処理回路33により圧縮符号化された画像信号データ (圧縮画像データ) は、例えば、バッファメモリ32に対して所定の転送レートにより書き込まれて一時保持される。なおMPEG2のフォーマットにおいては、周知のようにいわゆる符号化ビットレート (データレート) として、一定速度 (CBR; Constant Bit R

ate) と、可変速度 (VBR; Variable Bit Rate) の両者がサポートされており、ビデオ信号処理部3ではこれらに対応できるものとしている。

【0040】例えばVBRによる画像圧縮処理を行う場合には、例えば、動き検出回路35において、画像データをマクロブロック単位により前後数十～数百フレーム内の範囲で動き検出を行って、動きありとされればこの検出結果を動きベクトル情報としてMPEG2ビデオ信号処理回路33に伝送する。MPEG2ビデオ信号処理回路33では、圧縮符号化後の画像データをある所要のデータレートとするように、上記動きベクトル情報をはじめとする所要の情報を利用しながら、マクロブロックごとの量子化係数を決定していくようにされる。

【0041】音声圧縮エンコーダ/デコーダ37には、A/Dコンバータ64 (表示/画像/音声入出力部6内) を介して、例えばマイクロフォン202により集音された音声がデジタルによる音声信号データとして入力される。音声圧縮エンコーダ/デコーダ37では、前述のようにATRAC2のフォーマットに従って入力された音声信号データに対する圧縮処理を施す。この圧縮音声信号データもまた、データ処理/システムコントロール回路31によってバッファメモリ32に対して所定の転送レートによる書き込みが行われ、ここで一時保持される。

【0042】上記のようにして、バッファメモリ32には、圧縮画像データ及び圧縮音声信号データが蓄積可能とされる。バッファメモリ32は、主として、カメラブロック2あるいは表示/画像/音声入出力部6とバッファメモリ32間のデータ転送レートと、バッファメモリ32とメディアドライブ部4間のデータ転送レートの速度差を吸収するための機能を有する。バッファメモリ32に蓄積された圧縮画像データ及び圧縮音声信号データは、記録時であれば、順次所定タイミングで読み出しが行われて、メディアドライブ部4のMD-DATA2エンコーダ/デコーダ41に伝送される。ただし、例えば再生時においてバッファメモリ32に蓄積されたデータの読み出しと、この読み出したデータをメディアドライブ部4からデッキ部5を介してディスク51に記録するまでの動作は、間欠的に行われても構わない。このようバッファメモリ32に対するデータの書き込み及び読み出し制御は、例えば、データ処理/システムコントロール回路31によって実行される。

【0043】ビデオ信号処理部3における再生時の動作としては、概略的に次のようになる。再生時には、ディスク51から読み出され、MD-DATA2エンコーダ/デコーダ41 (メディアドライブ部4内) の処理によりMD-DATA2フォーマットに従ってデコードされた圧縮画像データ、圧縮音声信号データ (ユーザ再生データ) が、データ処理/システムコントロール回路31に伝送されてくる。データ処理/システムコントロール

回路31では、例えば入力した圧縮画像データ及び圧縮音声信号データを、一旦バッファメモリ32に蓄積させる。そして、例えば再生時間軸の整合が得られるようにされた所要のタイミング及び転送レートで、バッファメモリ32から圧縮画像データ及び圧縮音声信号データの読み出しを行い、圧縮画像データについてはMPEG2ビデオ信号処理回路33に供給し、圧縮音声信号データについては音声圧縮エンコーダ/デコーダ37に供給する。

【0044】MPEG2ビデオ信号処理回路33では、入力された圧縮画像データについて伸張処理を施して、データ処理/システムコントロール回路31に伝送する。データ処理/システムコントロール回路31では、この伸張処理された画像信号データを、ビデオD/Aコンバータ61(表示/画像/音声入出力部6内)に供給する。音声圧縮エンコーダ/デコーダ37では、入力された圧縮音声信号データについて伸張処理を施して、D/Aコンバータ65(表示/画像/音声入出力部6内)に供給する。

【0045】表示/画像/音声入出力部6においては、ビデオD/Aコンバータ61に入力された画像信号データは、ここでアナログ画像信号に変換され、表示コントローラ62及びコンポジット信号処理回路63に対して分岐して入力される。表示コントローラ62では、入力された画像信号に基づいて表示部6Aを駆動する。これにより、表示部6Aにおいて再生画像の表示が行われる。また、表示部6Aにおいては、ディスク51から再生して得られる画像の表示だけでなく、当然のこととして、レンズブロック1及びカメラブロック2からなるカメラ部位により撮影して得られた撮像画像も、ほぼリアルタイムで表示出力させることが可能である。また、再生画像及び撮像画像の他、前述のように、機器の動作に応じて所要のメッセージをユーザに知らせるための文字やキャラクタ等によるメッセージ表示も行われるものとされる。このようなメッセージ表示は、例えばビデオコントローラ38の制御によって、所要の文字やキャラクタ等が所定の位置に表示されるように、データ処理/システムコントロール回路31からビデオD/Aコンバータ61に出力すべき画像信号データに対して、所要の文字やキャラクタ等の画像信号データを合成する処理を実行するようにすればよい。

【0046】コンポジット信号処理回路63では、ビデオD/Aコンバータ61から供給されたアナログ画像信号についてコンポジット信号に変換して、ビデオ出力端子T1に出力する。例えば、ビデオ出力端子T1を介して、外部モニタ装置等と接続を行えば、当該ビデオカメラで再生した画像を外部モニタ装置により表示させることが可能となる。

【0047】また、表示/画像/音声入出力部6において、音声圧縮エンコーダ/デコーダ37からD/Aコン

バータ65に入力された音声信号データは、ここでアナログ音声信号に変換され、ヘッドフォン/ライン端子T2に対して出力される。また、D/Aコンバータ65から出力されたアナログ音声信号は、アンプ66を介してスピーカSPに対しても分岐して出力され、これにより、スピーカSPからは、再生音声等が出力されることになる。

【0048】メディアドライブ部4では、主として、記録時にはMD-DATA2フォーマット又はMD-DATA1フォーマットに従って記録データをディスク記録に適合するようにエンコードしてデッキ部5に伝送し、再生時においては、デッキ部5においてディスク51から読み出されたデータについてデコード処理を施すことで再生データを得て、ビデオ信号処理部3に対して伝送する。

【0049】このメディアドライブ部4のMD-DATA2エンコーダ/デコーダ41は、記録時においては、データ処理/システムコントロール回路31から記録データ(圧縮画像データ+圧縮音声信号データ)が入力され、この記録データについて、MD-DATA2フォーマットに従った所定のエンコード処理を施し、このエンコードされたデータを一時バッファメモリ42に蓄積する。そして、所要のタイミングで読み出しを行なながらデッキ部5に伝送する。

【0050】再生時においては、ディスク51から読み出され、A/Dコンバータ43、RF信号処理回路44を介して入力されたデジタル再生信号について、MD-DATA2フォーマット又はMD-DATA1フォーマットに従ったデコード処理を施して、再生データとしてビデオ信号処理部3のデータ処理/システムコントロール回路31に対して伝送する。なお、この際ににおいても、必要があれば再生データを一旦バッファメモリ42に蓄積し、ここから所要のタイミングで読み出したデータをデータ処理/システムコントロール回路31に伝送出力するようになる。このような、バッファメモリ42に対する書き込み/読み出し制御はドライバコントローラ46が実行するものとされる。なお、例えばディスク51の再生時において、外乱等によってサーボ等が外れて、ディスクからの信号の読み出しが不可となったような場合でも、バッファメモリ42に対して読み出しだが蓄積されている期間内にディスクに対する再生動作を復帰させるようにすれば、再生データとしての時系列的連続性を維持することが可能となる。

【0051】本実施の形態では、デッキ部5の光学ヘッド53にてフォトディテクタにより得られた電流としての光検出信号(ディスク51に照射されたレーザ光の反射により得られる光を受光して得られる検出信号)は、光学ヘッド53側において電流-電圧変換されたアナログ信号として出力されるものである。本実施の形態のメディアドライブ部4では、先ず、電圧としての光検出信

30

40

号をA/Dコンバータ43によりアナログ信号からデジタル信号に変換する。そして、このデジタル信号化された光検出信号をRF信号処理回路44に対して供給する。

【0052】RF信号処理回路44は入力された光検出信号について所要のデジタル信号処理を施すことで、例えば、再生データとしてのRF信号、デッキ部5に対するサーボ制御のためのフォーカスエラー信号、トラッキングエラー信号等のサーボ制御信号を生成する。RF信号は、MD-DATA2エンコーダ/デコーダ41に入力される。また、生成された各種サーボ制御信号はサーボ回路45に供給される。サーボ回路45では、入力したサーボ制御信号に基づいて、デッキ部5における所要のサーボ制御を実行する。

【0053】本例においては、MD-DATA1フォーマットに対応するエンコーダ/デコーダ47を備えており、ビデオ信号処理部3から供給された記録データを、MD-DATA1フォーマットに従ってエンコードしてディスク51に記録すること、或いは、ディスク51からの読み出しデータがMD-DATA1フォーマットに従ってエンコードされているものについては、そのデコード処理を行って、ビデオ信号処理部3に伝送出力することが可能とされている。つまり本例のビデオカメラとしては、MD-DATA2フォーマットとMD-DATA1フォーマットとについて互換性が得られるように構成されている。ドライブコントローラ46は、メディアドライブ部4を総括的に制御するための機能回路部とされる。

【0054】デッキ部5は、ディスク51を駆動するための機構からなる部位とされる。ここでは図示しないが、デッキ部5においては、装填されるべきディスク51が着脱可能とされ、ユーザーの作業によって交換が可能なようにされた機構（ディスクスロット203（図6参照））を有しているものとされる。また、ここでのディスク51は、MD-DATA2フォーマット、あるいはMD-DATA1フォーマットに対応する光磁気ディスクであることが前提となる。

【0055】デッキ部5においては、装填されたディスク51をCLVにより回転駆動するスピンドルモータ52によって、CLVにより回転駆動される。このディスク51に対しては記録/再生時に光学ヘッド53によってレーザ光が照射される。光学ヘッド53は、記録時には記録トラックをキュリー温度まで加熱するための高レベルのレーザ出力をしない、また再生時には磁気カーチュームにより反射光からデータを検出するための比較的低レベルのレーザ出力を行なう。このため、光学ヘッド53には、ここでは詳しい図示は省略するがレーザ出力手段としてのレーザダイオード、偏光ビームスプリッタや対物レンズ等からなる光学系、及び反射光を検出するためのディテクタが搭載されている。光学ヘッド53に備え

られる対物レンズとしては、例えば2軸機構によってディスク半径方向及びディスクに接離する方向に変位可能に保持されている。

【0056】また、ディスク51を挟んで光学ヘッド53と対向する位置には磁気ヘッド54が配置されている。磁気ヘッド54は記録データによって変調された磁界をディスク51に印加する動作を行なう。また、図示しないが、デッキ部5においては、スレッドモータ55により駆動されるスレッド機構が備えられている。このスレッド機構が駆動されることにより、上記光学ヘッド53全体及び磁気ヘッド54はディスク半径方向に移動可能とされている。

【0057】操作部7は図6に示した各操作子300～310等に相当し、これらの操作子によるユーザの各種操作情報は例えばビデオコントローラ38に供給される。ビデオコントローラ38は、ユーザー操作に応じた必要な動作が各部において実行されるようにするための操作情報、制御情報をカメラコントローラ25、ドライブコントローラ46に対して供給する。

【0058】外部インターフェイス8は、当該ビデオカメラと外部機器とでデータを相互伝送可能とするために設けられており、例えば図のようにI/F端子T3とビデオ信号処理部間に對して設けられる。なお、外部インターフェイス8としてはここでは特に限定されるものではないが、例えばIEEE1394等が採用されればよい。例えば、外部のデジタル画像機器と本例のビデオカメラをI/F端子T3を介して接続した場合、ビデオカメラで撮影した画像（音声）を外部デジタル画像機器に録画したりすることが可能となる。また、外部デジタル画像機器にて再生した画像（音声）データ等を、外部インターフェイス8を介して取り込むことにより、MD-DATA2（或いはMD-DATA1）フォーマットに従ってディスク51に記録するといったことも可能となる。

【0059】電源ブロック9は、内蔵のバッテリにより得られる直流電源あるいは商用交流電源から生成した直流電源を利用して、各機能回路部に対して所要のレベルの電源電圧を供給する。電源ブロック9による電源オン/オフは、上述したメインダイヤル300の操作に応じてビデオコントローラ38が制御する。また記録動作中はビデオコントローラ38はインジケータ206の発光動作を実行させる。

【0060】4. メディアドライブ部の構成  
続いて、図4に示したメディアドライブ部4の構成として、MD-DATA2に対応する機能回路部を抽出した詳細な構成について、図5のブロック図を参照して説明する。なお、図5においては、メディアドライブ部4と共にデッキ部5を示しているが、デッキ部5の内部構成については図4により説明したため、ここでは、図4と同一符号を付して説明を省略する。また、図5に示すメ

ディアドライブ部4において図4のブロックに相当する範囲に同一符号を付している。

【0061】本実施の形態においては、光学ヘッド53のフォトディテクタから出力される電流としての光検出信号は、この光学ヘッド53内において設けられる電流-電圧変換器により電圧としての光検出信号に変換されて、耐ノイズ性能が強化されてメディアドライブ部4側に対して出力される。なお、光学ヘッド53におけるフォトディテクタ及び電流-電圧変換器を備えた光検出信号出力回路の構成については後述する。

【0062】メディアドライブ部4に入力されたアナログ信号による電圧としての光検出信号は、A/Dコンバータ43によりデジタル信号に変換される。このA/Dコンバータ43のデジタル出力は、RF信号処理回路44内のRFアンプ101、及びマトリクスアンプ107に対して供給される。

【0063】RFアンプ101ではデジタル信号処理により、入力された光検出信号からデジタル信号による再生RF信号（二値化RF信号）を生成する。この二値化RF信号はMD-DATA2エンコーダ/デコーダ41に供給され、まずAGC/クランプ回路103を介してゲイン調整、クランプ処理等が行われた後、イコライザ/PLL回路104に入力される。イコライザ/PLL回路104では、入力された二値化RF信号についてイコライジング処理を施してビタビデコーダ105に出力する。また、イコライジング処理後の二値化RF信号をPLL回路に入力することにより、二値化RF信号（RLL(1, 7)符号列）に同期したクロックCLKを抽出する。

【0064】クロックCLKの周波数は現在のディスク回転速度に対応する。このため、CLVプロセッサ111では、イコライザ/PLL回路104からクロックCLKを入力し、所定のCLV速度（図3参照）に対応する基準値と比較することにより誤差情報を得て、この誤差情報をスピンドルエラー信号SPEを生成するための信号成分として利用する。また、クロックCLKは、例えばRLL(1, 7)復調回路106をはじめとする、所要の信号処理回路系における処理のためのクロックとして利用される。

【0065】ビタビデコーダ105は、イコライザ/PLL回路104から入力された二値化RF信号について、いわゆるビタビ復号法に従った復号処理を行う。これにより、RLL(1, 7)符号列としての再生データが得られることになる。この再生データはRLL(1, 7)復調回路106に入力され、ここでRLL(1, 7)復調が施されたデータストリームとされる。

【0066】RLL(1, 7)復調回路106における復調処理により得られたデータストリームは、データバス114を介してバッファメモリ42に対して書き込みが行われ、バッファメモリ42上で展開される。このよ

うにしてバッファメモリ42上に展開されたデータストリームに対しては、先ず、ECC処理回路116により、RS-PC方式に従って誤り訂正ブロック単位によるエラー訂正処理が施され、更に、デスクランブル/EDCデコード回路117により、デスクランブル処理と、EDCデコード処理（エラー検出処理）が施される。これまでの処理が施されたデータが再生データDATApとされる。この再生データDATApは、転送クロック発生回路121にて発生された転送クロックに従った転送レートで、例えばデスクランブル/EDCデコード回路117からビデオ信号処理部3のデータ処理/システムコントロール回路31に対して伝送されることになる。

【0067】転送クロック発生回路121は、例えば、クリスタル系のクロックをメディアドライブ部4とビデオ信号処理部3間のデータ伝送や、メディアドライブ部4内における機能回路部間でのデータ伝送を行う際に、適宜適正とされる周波数の転送クロック（データ転送レート）を発生するための部位とされる。また、当該ビデオカメラの動作状態に応じて、メディアドライブ部4及びビデオ信号処理部3の各機能回路部に供給すべき所要の周波数のクロックを発生する。

【0068】マトリクスアンプ107では、入力された光検出信号についてデジタル信号処理により所要の演算処理を施すことにより、トラッキングエラー信号TE、フォーカスエラー信号FE、グループ情報（ディスク51にウォブルドグループWGとして記録されている絶対アドレス情報を有する情報信号）GFM等を抽出しサーボ回路45に供給する。即ち抽出されたトラッキングエラー信号TE、フォーカスエラー信号FEはサーボプロセッサ112に供給され、グループ情報GFMはADIPバンドパスフィルタ108に供給される。

【0069】なお、前述のよう本実施の形態では、MD-DATA1フォーマットとMD-DATA2フォーマットの両者について互換性が得られるものとされているが、これに対応して、マトリクスアンプ107における所要の信号処理に関しては、記録再生の対照となるディスクのフォーマットが、MD-DATA1フォーマットである場合とMD-DATA2フォーマットである場合とでその動作が切り替わるよう、ドライバコントローラ46によって制御されるのであるが、これについては後述する。

【0070】ADIPバンドパスフィルタ108により、ウォブルの周期に応じて帯域制限されたグループ情報GFMは、A/Bトラック検出回路109、ADIPデコーダ110に対して供給される。A/Bトラック検出回路109では、例えば図2(b)にて説明した方式などに基づいて、入力されたグループ情報GFMから、現在トレースしているトラックがトラックTR・A、TR・Bの何れとされているのかについて判別を行い、こ

19

のトラック判別情報をドライバコントローラ46に出力する。また、ADIPデコーダ110では、入力されたグループ情報GFMについて、FM復調処理と所要のデコード処理を施してディスク上の絶対アドレス情報であるADIP信号を抽出し、ドライバコントローラ46に出力する。ドライバコントローラ46では、上記トラック判別情報及びADIP信号に基づいて、所要の制御処理を実行する。

【0071】CLVプロセッサ111には、イコライザ／PLL回路104からのクロックCLKと、ADIPデコーダ110にて得られたADIP信号が入力される。CLVプロセッサ111では、例えば、上記のようにして入力される信号を利用して、ADIP信号に対するクロックCLKとの位相誤差を積分して得られる誤差信号に基づき、CLVサーボ制御のためのスピンドルエラー信号SPEを生成し、サーボプロセッサ112に対して出力する。この際、CLVプロセッサ111の構成によっては、ADIP信号周波数と所定のCLV速度に応する目標値との比較を行って得られる誤差信号成分もスピンドルエラー信号SPEの成分として利用する。なお、CLVプロセッサ111が実行すべき所要の動作はドライバコントローラ46によって制御される。

【0072】サーボプロセッサ112は、上記のようにして入力されたトラッキングエラー信号TE、フォーカスエラー信号FE、スピンドルエラー信号SPE、ドライバコントローラ46からのトラックジャンプ指令、アクセス指令等に基づいて各種サーボ制御信号（トラッキング制御信号、フォーカス制御信号、スレッド制御信号、スピンドル制御信号等）を生成し、サーボドライバ113に対して出力する。サーボドライバ113では、サーボプロセッサ112から供給されたサーボ制御信号に基づいて所要のサーボドライブ信号を生成する。ここでのサーボドライブ信号としては、二軸機構を駆動する二軸ドライブ信号（フォーカス方向、トラッキング方向の2種）、スレッド機構を駆動するスレッドモータ駆動信号、スピンドルモータ52を駆動するスピンドルモータ駆動信号となる。このようなサーボドライブ信号がデシキ部5に対して供給されることで、ディスク51に対するフォーカス制御、トラッキング制御、及びスピンドルモータ52に対するCLV制御が行われることになる。

【0073】ディスク51に対して記録動作が実行される際には、例えば、ビデオ信号処理部3のデータ処理／システムコントロール回路31からスクランブル／EDCエンコード回路115に対して記録データDATArが入力されることになる。このユーザ記録データDATArは、例えば転送クロック（データ転送レート）に同期して入力される。

【0074】スクランブル／EDCエンコード回路11

5では、例えば記録データDATArをバッファメモリ42に書き込んで展開し、データスクランブル処理、EDCエンコード処理（所定方式によるエラー検出符号の付加処理）を施す。この処理の後、例えばECC処理回路116によって、バッファメモリ42に展開せている記録データDATArに対してRS-PC方式によるエラー訂正符号を付加するようされる。ここまで処理が施された記録データDATArは、バッファメモリ42から読み出されて、データバス114を介してRLL(1,7)変調回路118に供給される。

【0075】RLL(1,7)変調回路118では、入力された記録データDATArについてRLL(1,7)変調処理を施し、このRLL(1,7)符号列としての記録データを磁気ヘッド駆動回路119に出力する。

【0076】ところで、MD-DATA2フォーマットでは、ディスクに対する記録方式として、いわゆるレーザストローブ磁界変調方式を採用している。レーザストローブ磁界変調方式とは、記録データにより変調した磁界をディスク記録面に印加すると共に、ディスクに照射すべきレーザ光を記録データに同期してパルス発光させる記録方式をいう。このようなレーザストローブ磁界変調方式では、ディスクに記録されるピットエッジの形成過程が磁界の反転速度等の過渡特性に依存せず、レーザパルスの照射タイミングによって決定される。このため、例えば単純磁界変調方式（レーザ光をディスクに対して定的に照射すると共に記録データにより変調した磁界をディスク記録面に印加するようにした方式）と比較して、レーザストローブ磁界変調方式では、記録ピットのジッタをさわめて小さくすることが容易に可能とされる。つまり、レーザストローブ磁界変調方式は、高密度記録化に有利な記録方式とされるものである。

【0077】メディアドライブ部4の磁気ヘッド駆動回路119では、入力された記録データにより変調した磁界が磁気ヘッド54からディスク51に印加されるよう動作する。また、RLL(1,7)変調回路118からレーザドライバ120に対しては、記録データに同期したクロックを出力する。レーザドライバ120は、入力されたクロックに基づいて、磁気ヘッド54により磁界として発生される記録データに同期させたレーザパルスがディスクに対して照射されるように、光学ヘッド53のレーザダイオードを駆動する。この際、レーザダイオードから発光出力されるレーザパルスとしては、記録に適合する所要のレーザパワーに基づくものとなる。このようにして、本例のメディアドライブ部4により上記レーザストローブ磁界変調方式としての記録動作が可能とされる。

【0078】なお、上記図5に示すMD-DATA2ブロックとしての構成において、A/Dコンバータ43と、RF信号処理回路44を形成する機能回路部、及び

サーボ回路45を形成する機能回路部(A/Bトラック検出回路は除く)は、先に図4に示した構成からも分かるように、本実施の形態では、MD-DATA1フォーマットに対応するMD-DATA1ブロックと共にされる回路部位となる。

【0079】5. 本実施の形態に対応するディスク構造例

次に、本実施の形態に対応するディスク51の構造例について説明する。図7は、本実施の形態に対応するとされるディスク51のエリア構造例を概念的に示している。なお、この図に示すディスク51のメディアフォーマットについては、先に図1及び図2により説明した通りである。

【0080】図7に示すように、ディスク51として光磁気記録再生が可能とされる光磁気記録領域においては、先ずその最内周側における所定サイズの区間にに対して管理エリアが設けられる。この管理エリアは、例えばU-TOC(ユーザTOC)といわれる、ディスクに記録されたデータの記録再生の管理のために必要とされる所要の管理情報が主として記録される。例えば本例の場合であれば、ディスクに記録されたデータとしてファイル単位で記録再生が行われるための管理情報や、後述するようにして重要指定されたファイルを識別するための識別情報や、ファイルごとにサムネイル画像として表示するものとして指定された画像データ位置などを示すデータが、U-TOCとして格納される。なお、管理エリアにおけるU-TOCの内容は、例えば、これまでのディスクに対するデータの記録結果や、ファイルの削除等の編集処理結果に従って逐次書き換えが行われるものとされる。

【0081】上記管理エリアの外周側に対しては、データエリアが設けられる。このデータエリアに対して、例えば、主としてユーザが録画した画像データ(音声データも含む)や外部インターフェイス8を介して取り込んだデータ等が記録される。ここでは、データエリアに記録されるデータとしては、ファイル単位で管理される形態で記録されるものとする。また、ファイルごとにおけるデータの記録再生は、上記のようにして、管理エリアに格納されるU-TOCに基づいて管理されるものとする。

【0082】管理エリアに記録されるU-TOCは、例えば、ディスク装填時において読み出されて、例えば、メディアドライブ部4のバッファメモリ42(又はバッファメモリ32)の所定領域に保持される。そして、データ記録時や編集時においては、その記録結果や編集結果に応じてバッファメモリに保持されているU-TOCについて書き換えを行うようにし、その後、所定の機会、タイミングでもって、バッファメモリに保持されているU-TOCの内容に基づいて、ディスク51のU-TOCを書き換える(更新する)ようにされる。

【0083】なお、この図に示すディスク構造例はあくまでも一例であって、ディスク半径方向における各エリアの物理的位置関係は、実際の使用条件等に応じて変更されて構わない。また、必要があれば他の所定種類のデータを格納すべきエリアが追加的に設けられても構わないものである。

【0084】6. 光検出信号処理回路系の構成

6-1. フォトディテクタの構成

以降、本実施の形態の光検出信号処理回路の構成について説明する。本実施の形態の光検出信号処理回路は、ディスク部5の光学ヘッド53にてフォトディテクタにより得られた受光電流を電圧信号に変換して光検出信号として出力する光検出信号出力回路と、メディアドライブ部4における所要の機能回路部(D/Aコンバータ43、RF信号処理回路44、サーボ回路45等)により形成され、光検出信号出力回路からの光検出信号について所要の信号処理を実行する光検出信号処理回路系よりもなる。

【0085】そこで先ず、光学ヘッド53においてディスクからのレーザ光の反射光を検出するフォトディテクタの構成を図8に示す。本実施の形態のフォトディテクタとしては、MD-DATA1フォーマットとMD-DATA1フォーマットとの両者に対応する構成を探る必要がある。このため、フォトディテクタとしてはA, B, C, D, E, F, G, H, I, Jの10のフォトディテクタが図のように配置されて構成される。フォトディテクタA, B, C, Dと、フォトディテクタI及びフォトディテクタJには、例えばウォラストンプリズムにより分割して得られるメインビームが照射され、フォトディテクタE, Fと、フォトディテクタG, Hには、それぞれサブビームの分割されたものが照射される。なお、上記フォトディテクタA～Jにより得られる各光検出信号に基づいた信号処理については、以降の光検出信号処理回路系の構成と共に説明を行っていくこととする。

【0086】6-2. 光検出信号処理回路系の全体構成  
図9は、本実施の形態としての光検出信号処理回路系の全体の構成を形成するための要部の構成が示されている。なお、この図において図4及び図5における回路ブロックに相当するとされる機能回路部に対しては、同一符号を付している。

【0087】光検出信号出力回路53Aは、光学ヘッド53に含まれる回路部とされ、フォトディテクタA～Jの各検出出力を電圧信号による光検出信号として出力する。この図においては、便宜上、フォトディテクタA, B, C, D, F, G, Hを形成する各フォトダイオードがフォトダイオードPD1として総括的に示され、フォトディテクタI, Jを形成する各フォトダイオードがフォトダイオードPD2として総括的に示されて

50 いる。

【0088】フォトダイオードP D 1にてディスク51からのレーザ反射光を受光して得られた受光電流は、電流-電圧(I-V)変換器O P 1に対して入力される。I-V変換器O P 1では、帰還抵抗R 1により決定されるゲインに従って、入力された受光電流を電圧信号に変換してA/Dコンバータ43に出力する。

【0089】同様に、フォトダイオードP D 2にて得られた受光電流は、I-V変換器O P 2に対して入力され、ここで帰還抵抗R 2により決定されるゲインに従って電圧信号に変換されてA/Dコンバータ43に出力される。なお、実際にはI-V変換器O P 1及びI-V変換器O P 2は、それぞれ、フォトディテクタA, B, C, D, F, G, H、及びフォトディテクタI, Jごとに応して個々に設けられるものとされる。

【0090】ディスク51に照射するレーザパワーは、例えば記録時と再生時との各条件に適合するようにしてそれぞれ異なる値が設定されるものである。光磁気ディスクに対する記録再生では、記録時においてはディスクの記録面をキュリー温度にまで高めるために、再生時よりも大きな所要のレーザパワーが必要とされる。従って、記録時と再生時とでは、フォトダイオードにて得られる受光電流レベルが異なることになる。

【0091】このため、サーボ制御信号やADIP信号(アドレス情報)を得るために利用する、フォトディテクタA, B, C, D, F, G, H側で得られる光検出信号信号としては、以降の信号処理が安定して行われるように記録時と再生時とのレベルがほぼ同一となるようになる必要がある。このため、本実施の形態では、例えばI-V変換器O P 1の帰還抵抗R 1を可変抵抗として形成し、ドライバコントローラ46からの制御信号S 1によって、記録時と再生時とに応じて帰還抵抗R 1の抵抗値を所要の値に変更することで、I-V変換器O P 1のゲインを切り換える構成を探る。この場合には、記録時にはゲインが再生時よりも小さくなるようにして、抵抗値を可変することになる。

【0092】なお、フォトディテクタI, Jは再生RF信号の生成に利用される、つまり再生時においてのみその動作が有効となるため、これらに対応するI-V変換器O P 2については特に記録時と再生時とでゲインの切り換えを行う必要はない。但し、MD-DATA1フォーマットとMD-DATA2フォーマットとで、記録時のレーザパワーと再生時のレーザパワーが互いに異なるのであれば、これら各レーザパワーに応じたI-V変換器O P 1、更にはI-V変換器O P 2のゲインが得られるように帰還抵抗R 1及び帰還抵抗R 2の抵抗値を変更制御するように構成することが考えられる。

【0093】上記構成による光検出信号信号出力回路53Aから出力された各フォトディテクタA～Jの光検出信号は、A/Dコンバータ43に対して出力される。A/Dコンバータ43に入力される前の段階では光検出信

号はアナログ電圧信号とされる。A/Dコンバータ43では、この光検出信号をデジタル信号に変換してRFアンプ101(図5参照)、フォーカスエラー信号(F E)生成回路140、トラッキングエラー信号(T E)生成回路141、及びADIP方式に則ってグループ情報G FMを抽出するグループ情報生成回路142に対して供給する。

【0094】F E生成回路140、T E生成回路141、及びグループ情報生成回路142はマトリクスアンプ107(図5参照)を形成する機能回路部とされる。また、マトリクスアンプ107と上記RFアンプ101は、図4に示したRF信号処理回路に含まれる機能回路部である。

【0095】F E生成回路140では、フォトディテクタA, B, C, Dからの光検出信号を利用して、  
(A+B) - (B+D)

で示される演算処理を行うことにより、非点吸差方式に則ったフォーカスエラー信号F Eを生成してサーボプロセッサ112に対して供給する。

【0096】詳しいことは後述するが、MD-DATA1フォーマットとMD-DATA2フォーマットとでは、互いに異なるトラッキングエラー信号の検出方式を探る。このため、本実施の形態のT E生成回路141では、後述するようにして、ディスク51がMD-DATA1フォーマットとの場合とMD-DATA2フォーマットの場合とで、それぞれ光検出信号についての演算処理の切り換えを行って、トラッキングエラー信号を生成するようになる。この演算処理の切り換えはドライバコントローラ46から出力される制御信号S 3により制御される。T E生成回路141から出力されたトラッキングエラー信号T Eは、サーボプロセッサ112に対して供給される。

【0097】また、図3にて説明したようにMD-DATA1フォーマットとMD-DATA2フォーマットとではアドレス方式も異なる。MD-DATA1フォーマットはシングルスパイアルの両側ウォブル方式を探り、MD-DATA2フォーマットはインターレースアドレッシング方式を探る。このため、グループ情報生成回路142では、ディスク51がMD-DATA1フォーマットとの場合とMD-DATA2フォーマットの場合とで、それぞれ光検出信号についての演算処理の切り換えを行うことで、各フォーマットに対応したグループ情報G FMが適正に抽出されるように処理を行う。

【0098】グループ情報生成回路142にて得られたグループ情報G FMはADIPバンドパスフィルタ108を介してADIPデコーダ110に供給されることで、前述したようにADIP信号、即ちアドレス情報として得られる。ここで、ADIPバンドパスフィルタ108においては、MD-DATA1フォーマットとMD-DATA2フォーマットとで互いに異なるウォブルの

周期（変調時のキャリア周波数に相当する）に応じて、ドライバコントローラ46からの制御信号S5によって、その通過帯域が切り換えられる。

【0099】なお、グループ情報生成回路142における演算処理の切り換え、及びADI Pバンドパスフィルタ108における通過帯域の切り換えのための構成については後述することとして、ここででの詳しい説明は省略する。

【0100】また、RFアンプ101では、再生時においてフォトディテクタI, Jから得られる光検出信号について演算処理を実行することで、再生RF信号を得る。本実施の形態におけるRFアンプ101では、デジタル信号処理としての演算処理が行われるため、RFアンプ101により得られる再生RF信号としては、デジタル信号化（二値化）された、いわゆる二値化再生RF信号である。

【0101】RFアンプ101における演算処理としては、MD-DATA1フォーマットとMD-DATA2フォーマットとで共通とされる。つまり、データがピット形式で記録されたいわゆる再生専用のディスク（光ディスク）である場合には、フォトディテクタI, Jの各光検出信号について、

I + J

により示される演算処理を行うことで、再生RF信号を得るようにされる。また、データが書き換え可能な光磁気ディスクの場合には、フォトディテクタI, Jの各光検出信号について、

I - J

により示される演算処理を行うことで、再生RF信号を得るものである。

【0102】また、RFアンプ101においては、その内部の構成の図示等は省略するが、MD-DATA1フォーマットとMD-DATA2フォーマットとで異なる再生RF信号の周波数特性に適合するようにして、再生RF信号に対するイコライジング特性を切り換えるようになる。このような、ディスク51の種別（再生専用（ピット）ディスク/光磁気ディスク）に応じた演算処理の切り換え、及びディスクフォーマット（MD-DATA1/MD-DATA2）に応じたイコライジング特性の切り換えは、ドライバコントローラ46から出力される制御信号S2によって制御される。

【0103】これまでの説明から分かるように、本実施の形態の光検出信号処理回路系としては、光検出信号出力回路53Aより以降の信号処理回路系がデジタル信号処理化される。このため、例えば、図の一点鎖線で括つて示される機能回路部をまとめて1つのデジタル信号処理IC(Integrated Circuit)300として構成することが可能となる。

【0104】6-3. ラッピングサーボ回路系の構成  
図10は、光検出信号処理回路系におけるラッピング

サーボ回路系の構成例を示している。ここでは、ラッピングサーボ回路系として、主としてラッピングエラー信号（TE）生成回路141の内部構成が示されている。なお、図4、図5、及び図9における機能回路部に相当する回路部位については、同一符号を付してここでの説明は省略する。

【0105】ところで、MD-DATAフォーマットのラッピングエラー信号の検出方式としては、MD-DATA1フォーマットでは3ビーム方式が採用され、MD-DATA2フォーマットではDPP(Differential Push-Pull)方式が採用される。MD-DATA1フォーマットに対応する3ビーム方式では、フォトディテクタE, F, G, Hからの光検出信号を利用して、  
(E+F) - (G+H)

で示される演算処理を実行することによりラッピングエラー信号を得るようにされる。

【0106】これに対して、MD-DATA2フォーマットに対応するDPP方式では、フォトディテクタE, F, G, Hの光検出信号に加えて、フォトディテクタA, B, C, Dの光検出信号を利用し、

$$(A+D) - (B+C) = MPP$$

$$(E-F) - (G-H) = SPP$$

で示される演算を行って、メインプッシュプル信号MPP、サブプッシュプル信号SPPを得て、更に  
MPP - SPP

で示される演算処理を行うことによって、ラッピングエラー信号を得るようにされる。TE生成回路141は、次のようにして、上記3ビーム方式とDPP方式との両者に対応したラッピングエラー信号を生成可能な構成を探る。

【0107】TE生成回路141では、A/Dコンバータ43から出力されたデジタル信号としての光検出信号を入力する機能回路部として、MPP演算回路160、SPP演算回路162、TE演算回路166が設けられる。このうち、MPP演算回路160、SPP演算回路162側の回路系がDPP方式に対応し、TE演算回路166側の回路系が3ビーム方式に対応する。

【0108】MPP演算回路160では、フォトディテクタA, B, C, Dの光検出信号を利用して、メインプッシュプル信号MPPを得るための演算処理（A+D）-（B+C）を実行してバランス調整回路161に対して出力する。バランス調整回路161では、演算結果における（A+D）と（B+C）の項のバランスが適正となるように調整を行ってDPP演算回路164に出力する。

【0109】SPP演算回路162では、フォトディテクタE, F, G, Hの光検出信号を利用して、上記した（E-F）-（G-H）の演算処理を行うことでサブプッシュプル信号SPPを得て、ゲイン調整回路163に出力する。ゲイン調整回路163にてゲインの調整が行

われたサブッシュップル信号SPPは、DPP演算回路164に供給される。

【0110】DPP演算回路164では、入力されたメインピッシュップル信号MPPとサブッシュップル信号SPPについて、MPP-SPPの演算処理を行うことで、DPP方式に則ったフォーカスエラー信号FE・DPPを生成し、AGC(Automatic Gain Control)回路165に供給する。AGC回路165ではフォーカスエラー信号FE・DPPについてゲイン調整を行ってスイッチ169の端子T1に出力する。

【0111】ここで、バランス調整回路161のバランス設定と、ゲイン調整回路163におけるゲイン設定と、AGC回路165におけるゲイン設定は、それぞれドライバコントローラ46から出力される制御信号S11, S12, S14により、それぞれDPP方式に対応する動作条件に適合する状態が得られるように制御される。なお、上記制御信号S11, S12, S14、及び後述する制御信号S13, S15, S16は、図9では制御信号S3として総括的に示されている。

【0112】TE演算回路166は、フォトディテクタE, F, G, Hの光検出信号を利用して(E+F)-(G+H)の演算処理を行うことで、3ビーム方式に対応するフォーカスエラー信号FE・3BMを得る。このフォーカスエラー信号FE・3BMは、バランス調整回路167を介して演算結果における(E+F)の項と(G+H)の項とのバランス調整が行われた後、AGC回路168にてゲイン調整されて、スイッチ169の端子T2に供給される。ここで、AGC回路168におけるゲイン設定はドライバコントローラ46が制御信号S13を出力することによって制御される。

【0113】スイッチ169は、端子T3が端子T1又は端子T2の何れか一方に対して選一的に接続され、その切り換えはドライバコントローラ46から出力される制御信号S16によって制御される。端子T3は、例えばサーボプロセッサ112内のデジタルトラッキングサーボフィルタ150の入力に対して接続される。

【0114】この場合には、ドライバコントローラ46により、デッキ部5に装填されているディスク51がMD-DATA2フォーマットであると判別された場合に端子T1と端子T3が接続され、MD-DATA1フォーマットであると判別された場合に端子T2と端子T3が接続されるように制御される。

【0115】これにより、ディスク51がMD-DATA2フォーマットとされた場合には、DPP方式により検出したトラッキングエラー信号TE・DPPがデジタルトラッキングサーボフィルタ150に供給され、MD-DATA1フォーマットとされた場合には、3ビーム方式により検出したトラッキングエラー信号TE・3BMがデジタルトラッキングサーボフィルタ150に供給されることになる。本実施の形態では、このようにして

ディスク51のMD-DATA2/MD-DATA1フォーマットの相違に応じて、トラッキングエラー信号の検出方式としてDPP方式と3ビーム方式とに対応する演算処理及び信号処理となるように切り換えが行われる。

【0116】また、DPP方式により得られるトラッキングエラー信号TE・DPPと、3ビーム方式により得られるトラッキングエラー信号TE・3BMとでは、信号レベルにばらつきがある。このため、例えば、このばらつきを補正して適正なトラッキングサーボ制御を実行されるようにするために、ドライバコントローラ46はデジタルトラッキングサーボフィルタ150に制御信号S6を出力することで、トラッキングエラー信号TE・DPPが入力されているときと、トラッキングエラー信号TE・3BMが入力されているときとでこれぞ異なるサーボゲインを設定するように制御を実行する。なお、制御信号S6は、後述するようにして他のサーボ制御のためのサーボゲインの切り換え制御を行うためのための信号である。

【0117】デジタルトラッキングサーボフィルタ150では、入力されたトラッキングエラー信号(TE・DPP/TE・3BM)について所要のフィルタリング処理を施すことでサーボ制御信号としてトラッキング制御信号を生成して、サーボドライバ113に出力する。

【0118】以上の構成により、本実施の形態ではMD-DATA1とMD-DATA2フォーマットとで異なるトラッキングエラー信号の検出方式(3ビーム方式/DPP方式)に対応してトラッキング制御を実行することが可能となる。

【0119】6-4. ADIP処理回路系  
続いて、光検出信号処理回路系におけるADIP処理回路系について説明する。図11のブロック図にはADIP処理回路系の構成例が示されている。ここでは、ADIP処理回路系として、主としてグループ情報生成回路142の内部構成を示す。なお、ここでも図4、図5、及び図9における機能回路部に相当する回路部位については同一符号を付して説明を省略する。

【0120】前述のようにアドレッシング方式としては、MD-DATA1フォーマットではシングルスパイアルの両側ウォブル方式が採られ、MD-DATA2フォーマットではインターレースアドレッシング方式が採られる。また、アドレス情報エンコードに際してのキャリア周波数(グループ周期)も異なるものである。このため、グループ情報生成回路142においてはディスク51が、MD-DATA1フォーマットとされる場合と、MD-DATA2フォーマットとされる場合とで、グループ情報生成のための演算処理の切り換えを行うようになる。

【0121】図11において、A/Dコンバータ43から出力されるデジタル信号としての光検出信号は、MP

P演算回路170と、ADI P演算回路171に対して供給される。

【0122】MPP演算回路170は、MD-DATA1フォーマットに対応してグループ情報を生成するための演算処理を行う。このMPP演算回路170では、

(A+D) - (B+C) の演算処理を実行することによりメインピッシュプル信号MPPを生成するが、このメインピッシュプル信号MPPが、MD-DATA1フォーマットに対応するグループ情報GFMとして、スイッチ172の端子T1に対して出力される。なお、このMPP演算回路170と、先に図10に示したMPP演算回路160とでは、MPP演算回路160がMD-DATA2フォーマットに対応する機能回路部とされ、MPP演算回路170がMD-DATA1フォーマットに対応する機能回路部とされる点を除けば、同様の演算処理を実行するので、例えばその前段或いは後段におけるバランス調整やゲイン調整等を適切に設定すれば、MPP演算回路160、170を共用して1つの機能回路部にまとめて構成することが可能である。

【0123】ADI P演算回路171は、MD-DATA2フォーマットに対応してグループ情報を生成するための演算処理を行う。このADI P演算回路171では、(A+B+C+D) の演算処理を実行することにより、MD-DATA2フォーマットに対応するグループ情報GFMを生成して、スイッチ172の端子T2に対して出力する。

【0124】スイッチ172は、端子T3に対して端子T1又は端子T2が選択されて接続されるものであり、端子T3は、ADI Pバンドパスフィルタ108の入力に対して接続されている。

【0125】スイッチ172における端子の切り替えは、ドライバコントローラ46が制御信号S4を出力することにより行われる。この場合には、デッキ部5に装填されているディスク51がMD-DATA1フォーマットであるとされた場合には、端子T1と端子T3が接続されるように制御されることで、MPP演算回路170にて得られたグループ情報がADI Pバンドパスフィルタ108に供給される。また、ディスク51がMD-DATA2フォーマットであるとされた場合には、端子T2と端子T3が接続されるように制御されることで、ADI P演算回路171にて得られたグループ情報がADI Pバンドパスフィルタ108に供給されることになる。

【0126】ディスク上にウォブルとして形成されるグループ情報は、ADI P信号（アドレス情報）をバイフェーズ変調し、これをFM変調して生成されるが、本実施の形態では、上記FM変調時のキャリア周波数として、MD-DATA1フォーマットでは22.5KHzを採用し、MD-DATA2フォーマットでは88.2KHzを採用している。このため、ADI Pバンドパス

フィルタ108においては、ディスク51がMD-DATA1フォーマットである場合には、キャリア周波数22.5KHzに対応した所要の通過帯域が設定され、MD-DATA1フォーマットである場合には、キャリア周波数88.2KHzに対応した通過帯域が設定されるように切り替えが行われる。この通過帯域の切り替え制御も、ドライバコントローラ46がディスク51のディスクフォーマットについての判別を行い、この結果に基づいて、制御信号S5を出力することにより行われるものである。このような通過帯域の変更もデジタル処理とされることによって簡易に行なうことが可能である。このような構成とすることで、MD-DATA1フォーマットとMD-DATA2フォーマットとで異なるアドレスシング方式にも対応して、光検出信号からグループ情報を抽出してアドレス情報を獲得することが可能になる。また、本実施の形態では、ディスクはCLV方式により回転駆動されるが、仮にCAV(Constant Angular Velocity; 角速度一定)方式が採用された場合にも有利となる。

【0127】また、ここでは制御信号の図示はしていないが、必要があれば、ディスク51がMD-DATA1フォーマットである場合と、MD-DATA2フォーマットである場合とに応じて、ドライバコントローラ46の制御によって、ADI Pバンドパスフィルタ108の後段のAGC回路173におけるゲインが切り替え可能なように構成してもよい。

【0128】6-5. スピンドルサーボ回路系  
続いて、図12を参照して、スピンドルモータ52をCLV駆動するためのスピンドルサーボ回路系の構成について説明する。なお、ここでも図4、図5、及び図9における機能回路部に相当する回路部位については同一符号を付して説明を省略することとする。

【0129】図5に依る説明では、CLVプロセッサ111におけるスピンドルエラー信号SPEは、ADI Pデコーダ110にて得られたADI P信号に基づいて生成するものとして説明したが、再生RF信号に基づいてスピンドルエラー信号SPEを得る方式を探ることもできる。これは、MD-DATA1フォーマットとMD-DATA2フォーマットの両者についていえることである。

【0130】そこで、図12に示すスピンドルサーボ回路系としては、スピンドルエラー信号SPEの生成処理として、ADI P信号によるものと、再生RF信号によるものとの両者の方をを選択し得る構成を示した。

【0131】図12においてADI P信号によりスピンドルエラー信号SPEを生成する回路系としては、ADI Pデコーダ110から得られるADI P信号を入力する位相・周波数検出回路180が設けられる。位相・周波数検出回路180では、例えばADI P信号周波数とディスクフォーマットに対応する規定のCLV速度に対

応して設定された目標値との比較を行って得られる周波数差を示す誤差情報信号と、A D I P信号とクロックC L Kとの位相誤差を示す誤差情報信号を利用して、スピンドルエラー信号S P Eを生成する。位相・周波数検出回路180にて得られたスピンドルエラー信号S P Eは、スイッチ182の端子T 1に対して供給される。

【0132】一方、再生R F信号によりスピンドルエラー信号S P Eを生成する回路系としては、R Fアンプ101から得られる再生R F信号（二值化再生R F信号）を入力する位相・周波数検出回路181が設けられる。この位相・周波数検出回路181においても、例えば、入力された再生R F信号の周波数とディスクフォーマットに対応する規定のC L V速度に対応して設定された目標値との比較を行って得られる周波数差を示す誤差情報信号と、A D I P信号とクロックC L Kとの位相誤差を示す誤差情報信号を利用して、スピンドルエラー信号S P Eを生成することになる。位相・周波数検出回路181にて得られたスピンドルエラー信号S P Eは、スイッチ182の端子T 2に対して供給される。

【0133】スイッチ182も、端子T 3に対して端子T 1又は端子T 2が選択されて接続される構成を探り、端子T 3は、サーボプロセッサ112内のデジタルスピンドルサーボフィルタ151の入力に対して接続される。スイッチ182の端子接続切り換えは、ドライバコントローラ46から出力される制御信号S 7によって制御され、これにより、位相・周波数検出回路180、181の何れか一方のスピンドルエラー信号S P Eがデジタルスピンドルサーボフィルタ151に供給されることになる。ここでのドライバコントローラ46による端子切り換え制御のための判断要素としては各種考えられるが、例えば、スピンドルモータの回転状態（例えば回転起動時やP L Sがロックしている状態での回転時など）に応じて、より適正なスピンドルサーボ制御状態が得られる方のスピンドルエラー信号S P Eが選択されるように構成することが考えられる。また、場合によっては初期的に何れか一方に固定的に切換えておくようになることも考えられる。この図に示す構成としては、位相・周波数検出回路180、181及びスイッチ183とを備えることによりC L Vプロセッサ111が形成されることになる。

【0134】ここで、C L V速度は図2にて説明したように、MD-DATA1フォーマットでは1. 2 m/s（最内周回転数としては約11Hz）、MD-DATA2フォーマットでは2. 0 m/s（最内周回転数としては約22Hz）と規定されており、互いに異なる。

【0135】このため、上記位相・周波数検出回路180、181において、A D I P信号周波数或いは再生R F信号周波数に対する比較対照となる目標値は、ディスクフォーマットに応じた所要の値に切り換えが行われる必要がある。この目標値の切り換え制御も、図に示すよ

うにして、ドライバコントローラ46から出力する制御信号S 8 A、S 8 Bにより行われるように構成すればよい。

【0136】また、ディスクフォーマットによりC L V速度が異なることで、スピンドルモータ52自体の伝達特性としても、MD-DATA2フォーマットでは、MD-DATA1フォーマットに対して-6dB程度の差が現れる。このため、ディスク51がMD-DATA2フォーマットである場合には、ドライバコントローラ46は、制御信号S 6を出力することによって、デジタルスピンドルサーボフィルタ151において、+6dBの補正が行われるようにサーボゲインを切り換えるための制御を行なうようにされる。以上の構成により、MD-DATA1フォーマットとMD-DATA2フォーマットとに適合するスピンドルサーボ制御を得ることが可能となる。

#### 【0137】6-6. 処理動作

これまで図9～図12により説明した光検出信号信号処理回路系に対するドライバコントローラ46の動作制御を実際に実行する場合の処理動作例を、図13のフローチャートに示す。なお、ここでは例えば再生時に対応する処理動作が示されているものとする。

【0138】この図に示す処理においては、先ずステップS 101においてディスク51のディスク種別として、MD-DATA1フォーマットとMD-DATA2フォーマットの何れに対応するものであるのかが判別される。この判別処理としては、例えば、ディスク51のかートリッジ（外筐）に物理的に形成された、MD-DATA1フォーマットとMD-DATA2フォーマットの区別を示す形状に基づいて判別するように構成することが考えられる。この場合には、デッキ部5のディスクスロット203内において、識別形状を検出可能な検出機構が設けられることになる。また、例えばディスクの管理情報エリアから読み出した管理情報におけるディスクフォーマットを示す識別情報を利用することも考えられる。

【0139】ステップS 101において、ディスク51がMD-DATA1フォーマットであると判別された場合にはステップS 102に進み、MD-DATA2フォーマットであると判別された場合にはステップS 112に進む。なお、この図では便宜上、MD-DATA1フォーマットは「MD 1」、MD-DATA2フォーマットは「MD 2」と省略的に記している。

【0140】ステップS 102においては、先ず、トラッキングサーボ回路系としてD P P方式に対応する回路動作を設定するための制御処理を実行する。具体的には、図10にて説明したように、ドライバコントローラ46が制御信号S 16を出力することにより、トラッキングエラー信号F E・D P Pがサーボプロセッサ112に入力されるように、スイッチ169に対する切り換え

制御を行う。

【0141】そして、続くステップS103において、フォーカスサーボ制御、トラッキングサーボ制御、及びスレッドサーボ制御のための各サーボゲインについて、MD-DATA2フォーマットに適合するサーボゲインを設定する。これは、図9、図10、図12により説明したように、ドライバコントローラ46が上記各サーボ制御に対応するデジタルサーボフィルタに対して制御信号S6を出力することにより行われる。この後、ステップS104においてフォーカスサーボをオンとする。つまり、フォーカス引き込み制御を行った後に、フォーカスサーボループを閉じることでフォーカスサーボ制御を開始させる。

【0142】ステップS105においては、図10により説明したように、MPP演算回路160の後段にあるバランス調整回路161におけるバランス調整を行い、続くステップS106によりSPP演算回路162の後段のゲイン調整回路163のゲイン調整を行う。更に、ステップS107において、AGC回路165のゲイン設定のための制御を実行する。

【0143】ステップS108では、トラッキングサーボループを閉じることによってトラッキングサーボ制御を開始させ、続くステップS109によりスレッドサーボ制御を開始させる。

【0144】次のステップS110においては、図12にて説明したように、デジタルスピンドルサーボフィルタ151により+6dBの補正が行われるようサーボゲインを切り換えるための制御を行う。続けて、ステップS111により、図11にて説明したようにして、ADIPバンドパスフィルタ108における通過帯域特性が、MD-DATA2フォーマットとしての88.2KHzに対応するように切り換えるための制御を実行し、ステップS121に進む。

【0145】これに対して、MD-DATA1フォーマットであるとステップS101にて判別された場合には、先ず、ステップS112の処理として、トラッキングサーボ回路系について3ビーム方式に対応する回路動作が得られるように設定するための制御処理を実行する。つまり、図10にて説明したように、ドライバコントローラ46が制御信号S16を出力することにより、トラッキングエラー信号FE・3BMがサーボプロセッサ112に入力されるように、スイッチ169に対する切り換え制御を行うことになる。

【0146】続くステップS113においては、フォーカスサーボ制御、トラッキングサーボ制御、及びスレッドサーボ制御のための各サーボゲインについて、MD-DATA1フォーマットに適合するサーボゲインを設定する。これも、図9、図10、図12により説明したように、ドライバコントローラ46が制御信号S6を各デジタルサーボフィルタに対して出力することにより行わ

れる。そして、次のステップS114においてフォーカスサーボをオンとしてステップS115に進む。

【0147】ステップS115においては、図10により説明したように、TE演算回路のバランス調整回路167におけるバランス調整を行う。続くステップS116では、AGC回路168のゲイン設定のための制御を実行する。

【0148】次のステップS117では、トラッキングサーボループを閉じることによってトラッキングサーボ制御を開始させ、続くステップS118によりスレッドサーボ制御を開始させる。

【0149】ステップS119では、デジタルスピンドルサーボフィルタ151におけるサーボゲインについて、MD-DATA1フォーマットに適合するサーボゲインに切り換えるための制御を実行する。このときには、先に説明したステップS110の処理により設定されたサーボゲインに対して、-6dBのレベルが得られるように、より低い所要のゲインを設定することになる。続くステップS120においては、ADIPバンド

20 パスフィルタ108における通過帯域特性が、MD-DATA1フォーマットとしての22.05KHzに対応するように切り換えるための制御を実行して、ステップS121に進む。

【0150】ステップS121においては、スピンドルモータの回転速度がPLL回路がロック可能な規定速度範囲に収束するのを待ってスピンドルサーボループを開じることで、スピンドルサーボ制御を開始させる。

【0151】以降は、ステップS122においてADIP信号を読み出すことでアドレス情報を獲得するようされると共に、続くステップS123の処理としてディスク51に記録されているデータの読み出しのための制御処理を実行する。

#### 【0152】7. 变形例

また、本実施の形態の光検出信号処理回路系として、光学ピックアップ53側にI-V変換器を備えた光検出信号出力回路(53A)を備えない場合には、図14に示すような構成を採ればよい。

【0153】図14においては、フォトディテクタ(A~J)にて得られた電流としての光検出信号を出力する40 フォトディテクタ部53Bが示されている。このフォトディテクタ部53Bは、光学ヘッド53内に備えられる。また、デジタル信号処理IC300としては、A/Dコンバータ43と、その後段の光検出信号処理回路系200が示されている。ここで、光検出信号処理回路系200は、図9~図12に示したデジタル信号処理IC300内の各機能回路部よりなる回路系に相当する。

【0154】そしてこの場合には、フォトディテクタ部53Bとデジタル信号処理IC300との間に、電流-電圧変換回路190が設けられる。電流-電圧変換回路50 190は、フォトディテクタ(A~J)からの電流とし

ての光検出信号を電圧信号に変換して、A/Dコンバータ43に対して供給する。電流-電圧変換回路190等は、単に電流-電圧変換機能を有するバッファアンプ等による簡略な構成により形成できるものである。

【0155】なお、上記実施の形態においては、媒体フォーマットとしてMD-DATA1フォーマットに対応するものとして説明したが、記録媒体が光学記録媒体とされて、その記録再生のために光検出信号処理が必要とされるのであれば、他の媒体フォーマットについても当然のこととして本発明の適用が可能である。また、上記実施の形態では、MD-DATA1フォーマットとMD-DATA2フォーマットとについて互換性を得るために構成を得る場合について説明したが、これに関しても、本発明としては他の媒体フォーマットについて互換性を得るように構成することが可能である。

【0156】また、上記実施の形態においてはビデオカメラを例に説明したが、光学記録媒体に対応して記録又は再生を行うことのできる単体の記録再生装置に対しても本発明は適用されるものである。

【0157】

【発明の効果】以上説明したように本発明では、光学ピックアップ側に対して、フォトディテクタにより得られる電流としての光検出信号を電圧に変換して、この光学ピックアップ側からの電圧による光検出信号を先ずデジタル信号に変換することにより、以降の再生RF信号抽出処理や、各種サーボ制御のためのRFマトリクス演算をはじめとする各種処理等をデジタル信号処理により行うように構成される。これにより、光学ピックアップから以降の信号処理回路系に対しては、電圧としての光検出信号を出力することになるので、それだけノイズに強いものとすると共に、以降の光検出信号についての処理はデジタル信号処理として行うことで容易に必要な演算処理等を行うことができるため、それだけ光学ピックアップに対して要求されるスペックも緩く済み、結果的に、構成の簡易化及びコストの削減が図られることになる。また、光検出信号処理が一括的にデジタル信号処理化されることで、例えば、複数種類の媒体フォーマットに対して互換性を持たせる構成を探る場合にも、多くの機能回路部の共通化を図ることができると共に、例えば、デジタルシグナルプロセッサとして1つの集積回路として構成することも容易に可能となって、それだけ機器の小型化及び低コスト化が促進されることになる。

【0158】また、光検出信号のゲインの可変については、光学ピックアップ側の電流-電圧変換器において行うようにすることで、これまでと同様の簡易な構成により記録時と再生時とで異なるレーザ照射パワーに応じた適切なゲイン設定が可能となるものである。

【0159】この上で本発明では、光学ピックアップより後段の光検出信号処理回路として、記録媒体の媒体フ

オーマットに応じて、例えば、トラッキングエラー信号生成のための演算処理とこの演算処理結果のバランス調整やゲイン調整、各種サーボゲインの切り換え、及びウォブルドグループからアドレスを抽出する際のバンドパスフィルタの通過帯域の切り換え等を行うように構成されるのであるが、これらの処理は、全て光検出信号をA/D変換した後にデジタル信号処理により行われるものであるため、これらの処理はデジタル演算処理や、システムコントローラ等の制御による所要のパラメータの変更等によって行なうことが可能となる。つまり、この場合の光検出信号処理の切り換えもほとんどデジタル信号処理回路系に対して行われることになる。このため、比較的簡易で負担の軽い処理によっても、例えばディスクの特性の相違などに関わらず、安定した信号処理性能を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態のビデオカメラに対応するディスクのトラック構造を示す説明図である。

【図2】実施の形態のビデオカメラに対応するディスクのトラック部分を拡大して示す説明図である。

【図3】実施の形態のビデオカメラに対応するディスクの仕様を示す説明図である。

【図4】実施の形態のビデオカメラの内部構成のブロック図である。

【図5】実施の形態のビデオカメラのメディアドライブ部の内部構成のブロック図である。

【図6】実施の形態のビデオカメラの側面図、平面図、及び背面図である。

【図7】実施の形態に対応するディスク構造例を示す概念図である。

【図8】本実施の形態の光学ヘッドにおけるフォトディテクタの配置例を示す説明図である。

【図9】光検出信号処理回路の要部の構成例を示すブロック図である。

【図10】トラッキングサーボ回路系の要部の構成を示すブロック図である。

【図11】である。ADIP処理回路系の要部の構成を示すブロック図である。

【図12】スピンドルサーボ回路系の要部の構成を示すブロック図である。

【図13】本実施の形態の光検出信号処理動作を実現するための処理動作を示すフローチャートである。

【図14】本実施の形態の光検出信号処理回路の他の全体構成例を示す概略的に示すブロック図である。

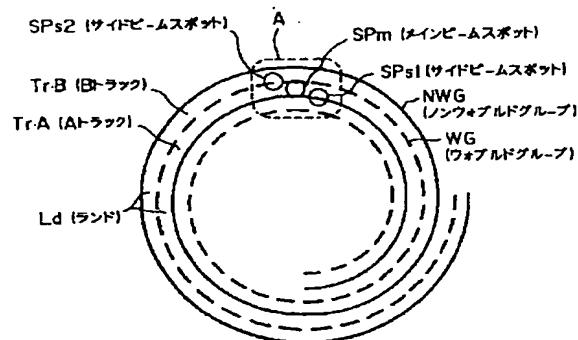
【符号の説明】

1 レンズブロック、2 カメラブロック、3 ビデオ信号処理部、4 メディアドライブ部、5 デッキ部、6 表示/画像/音声入出力部、6A 表示部、7 操作部、8 外部インターフェイス、9 電源ブロック、50 11 光学系、12 モータ部、21 CCD、22

37

サンプルホールド／A G C回路、23 A／Dコンバータ、24 タイミングジェネレータ、25 カメラコントローラ、31 データ処理／システムコントロール回路、32 バッファメモリ、33 ビデオ信号処理回路、34 メモリ、35 動き検出回路、36 メモリ、37 音声圧縮エンコーダ／デコーダ、38 ビデオコントローラ、41 MD-DATA2エンコーダ／デコーダ、42 バッファメモリ、43 二値化回路、44 R F信号処理回路、45 サーボ回路、46 ドライバコントローラ、51 ディスク、52 スピンドルモータ、53 光学ヘッド、54 磁気ヘッド、55 スレッドモータ、61 ビデオD／Aコンバータ、62 表示コントローラ、63 コンポジット信号処理回路、64 A／Dコンバータ、65 D／Aコンバータ、66 アンプ、101 R Fアンプ、103 A G C／クランプ回路、104 イコライザ／P L L回路、105 ビタビデコーダ、106 R L L (1, 7) 復調回路、107 マトリクスアンプ、108 A D I Pバンドパスフィルタ、109 A／Bトラック検出回路、110 A D I Pデコーダ、111 C L Vプロセッサ、112 サーボプロセッサ、113 サーボドライバ、114 データバス、115 スクランブル／E D Cエンコード回路、116 E C C処理回路、117 デスクランブル／E D Cデコード回路、118 R L L (1, 7) 変調回路、119 磁気ヘッド駆動回路、120 レー

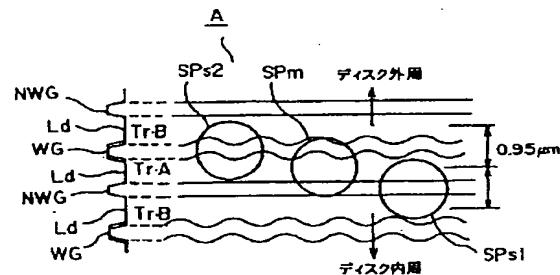
【図1】



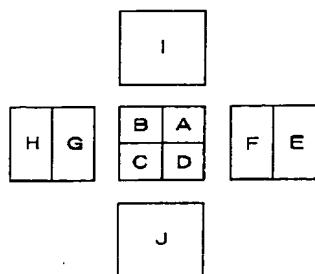
(20) 38

ザドライバ、121 転送クロック発生回路、201 カメラレンズ、202マイクロフォン、203 ディスクスロット、204 ビューフайнダ、205 スピーカ、207 ビューフайнダドライブ部、300 メインダイヤル、301レリーズキー、304 ズームキー、305 イジェクトキー、306 再生キー、307 停止キー、308, 309 サーチキー、L d ランド、N W Gノンウォブルドグループ、W G ウォブルドグループ、T r · A, T r · Bトラック、140 10 フォーカスエラー信号生成回路、141 トランкиングエラー信号生成回路、142 グループ情報生成回路、150 デジタルトラッキングサーボフィルタ、151 デジタルスピンドルサーボフィルタ、160 M P P 演算回路、161 バランス調整回路、162 S P P 演算回路、163 ゲイン調整回路、164 D P P演算回路、165 A G C回路、166 T E演算回路、167 バランス調整回路、168 A G C回路、169 スイッチ、170 M P P演算回路、171 A D I P演算回路、172 スイッチ、173 A G C回路、180, 181 位相・周波数検出回路、182 スイッチ、190 電流-電圧変換回路、200 光信号処理回路系、A～J フォトディテクタ、O P 1, O P 2 I-V変換器、P D 1, P D 2 フォトダイオード、P D 2 フォトダイオード、R 1, R 2 帰還抵抗 20

【図2】



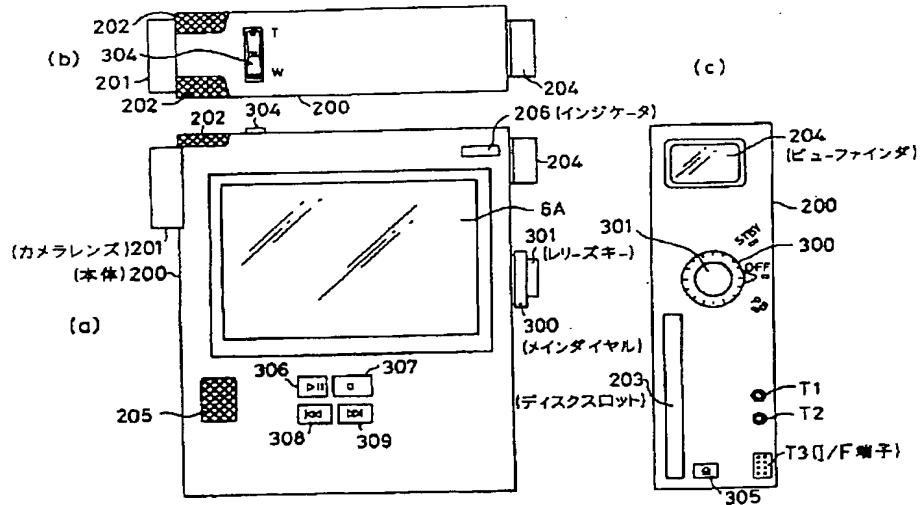
【図8】



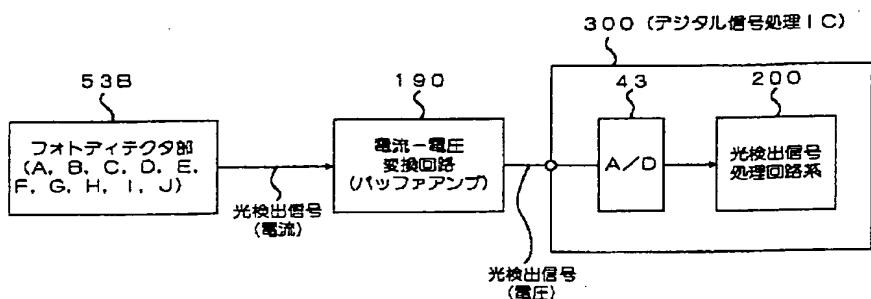
【図3】

	MD-DATA 2	MD-DATA 1
トラックピッチ	0.95 $\mu\text{m}$	1.6 $\mu\text{m}$
ピット長	0.39 $\mu\text{m}/\text{bit}$	0.59 $\mu\text{m}/\text{bit}$
$\lambda \cdot \text{NA}$	650nm・0.52	780nm・0.45
記録方式	LAND記録	GROOVE記録
アドレス方式	インターレースアドレッシング (ダブルスパイアルの片方ウォブル)	シングルスパイアルの両側ウォブル
変調方式	PLL (1,7)	EFM
誤り訂正方式	RS-PC	ACIRC
インターリーブ	ブロック完結	重み込み
冗長度	19.7%	46.3%
線速度	2.0m/s	1.2m/s
データレート	589 kB/s	133 kB/s
記録容量	650MB	140MB

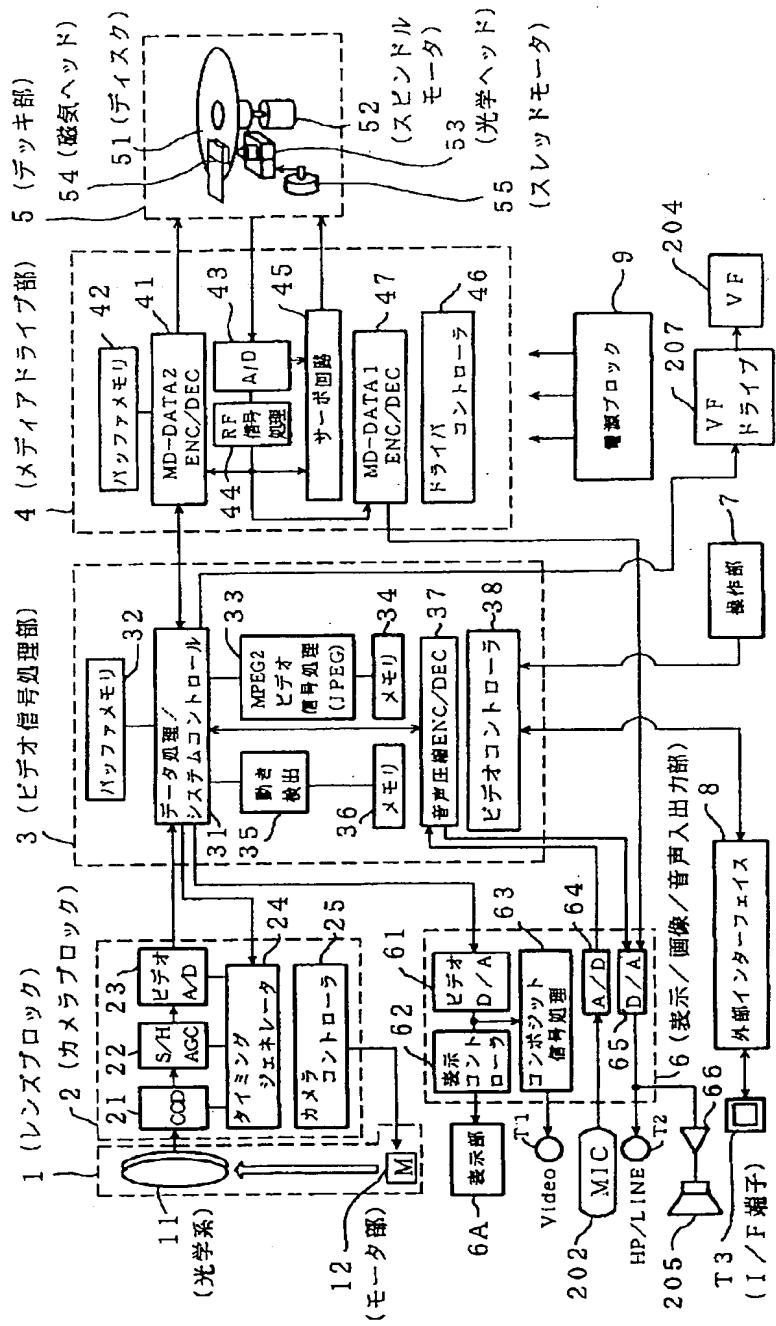
【図6】



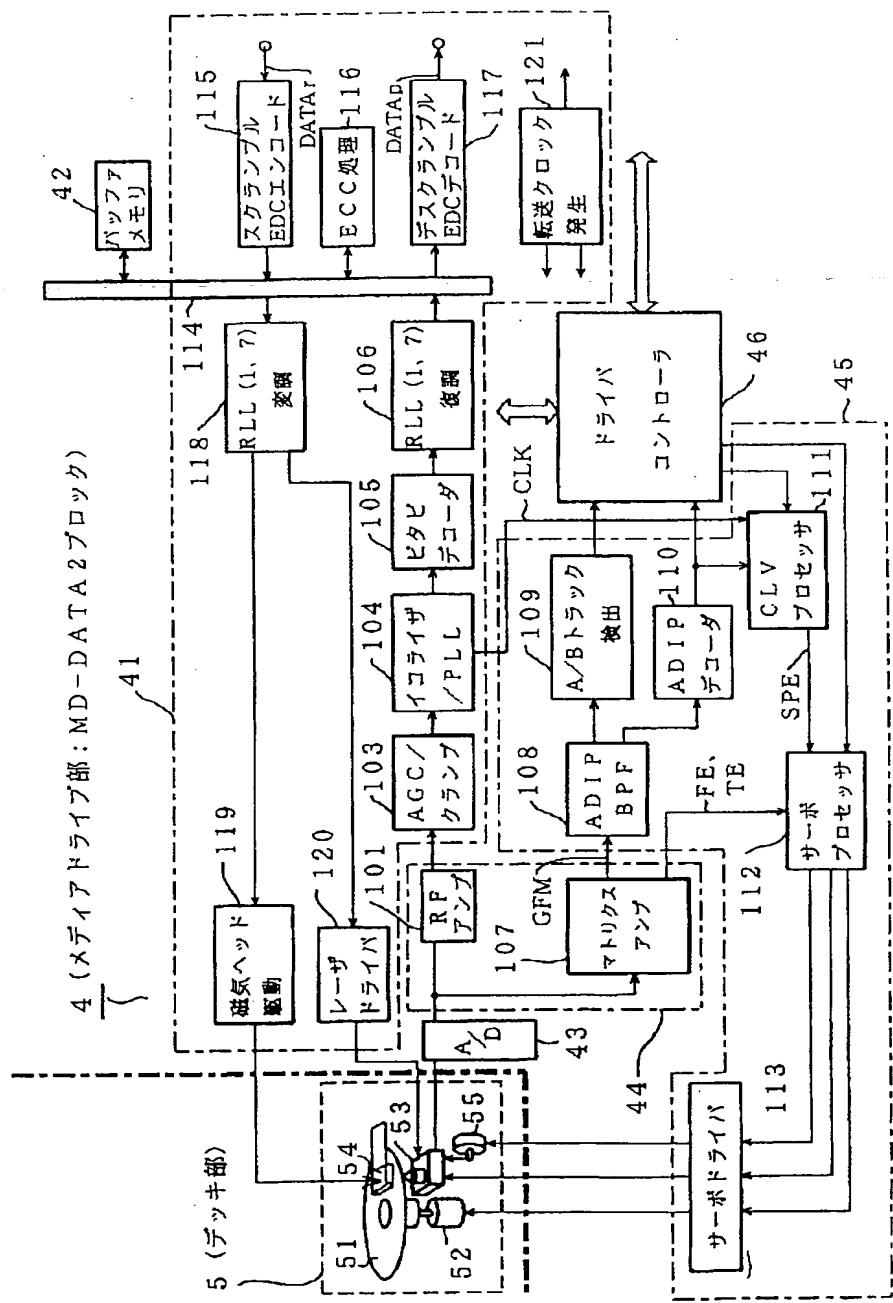
【図14】



【図4】



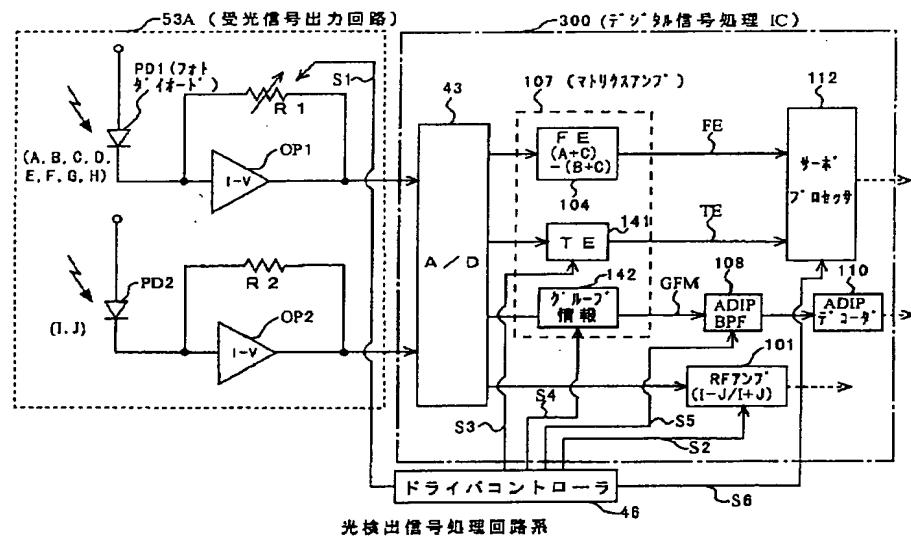
[図 5]



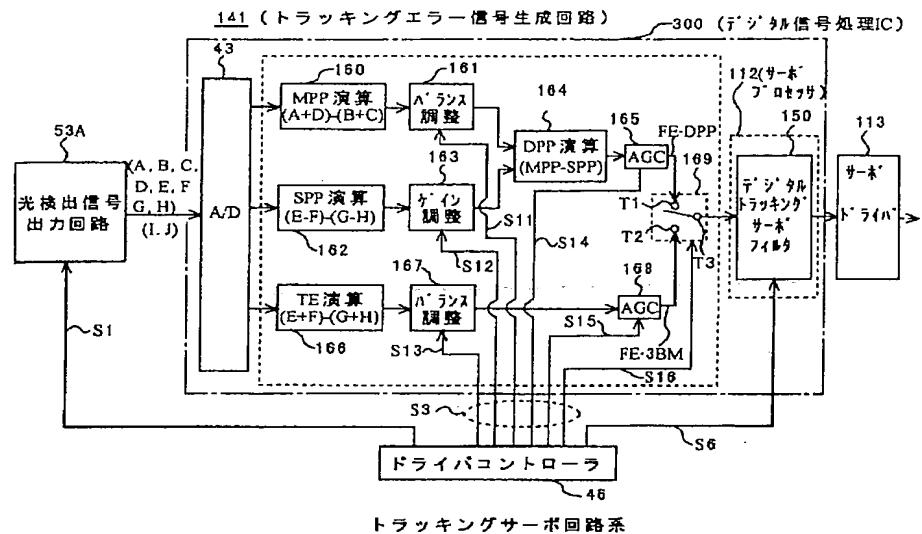
【図7】



【図9】

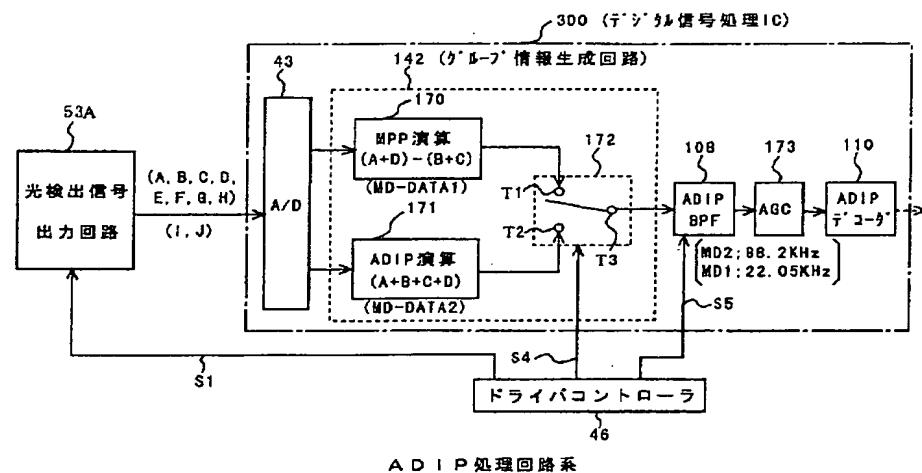


【図10】



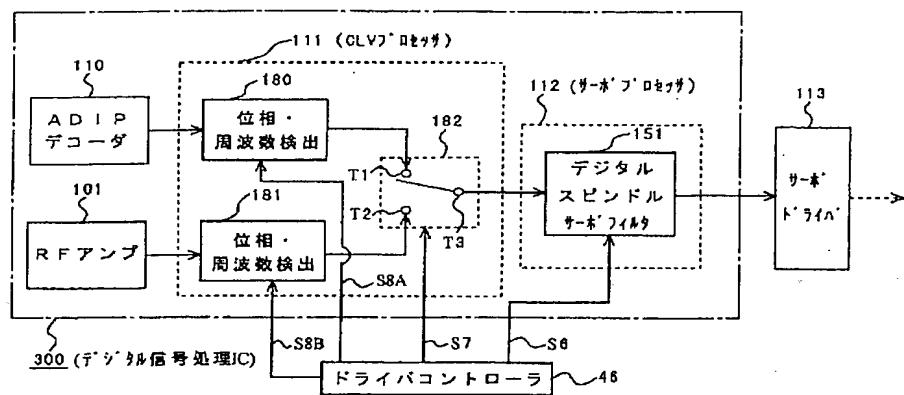
トラッキングサポ回路系

【図11】



A/D/P処理回路系

【図12】



スピンドルサーボ回路系

【図13】

